PSoC® 3: CY8C32 系列数据手册

可编程片上系统（PSoC®）

概述

PSoC® 3 是真正的可编程嵌入式片上系统，它在单芯片中集成了可配置的模拟和数字外设、存储器以及微控制器。PSoC 3 架构的性能通过以下特性得到质的提升：

- 带有工作频率高达 50 MHz 的 DMA 控制器和 8051 内核
- 超低功耗与业界最宽的电压范围
- 带有支持用户自定义的可编程数字和模拟外设
- 任何模拟或数字外设端口可灵活路由至任意引脚

PSoC 器件是一个应用于嵌入式（控制）系统设计的高度灵活的可配置系统级芯片。它集成了丰富的可配置模拟和数字资源以及片上微控制器。单芯片可以实现高达上百种的模拟和数字外设功能。因此不仅可以缩短设计周期、减小电路板尺寸、降低系统功耗，还可以在降低系统成本的基础上提升系统性能。

特性

- 工作特性
  - 电压范围：1.71 至 5.5 V，多达六个电压域
  - （环境）温度范围：–40 至 85 °C[1]
  - 工作频率介于 DC 至 50 MHz 之间
  - 功耗模式
    - 在活动模式下，频率 6 MHz 电流 1.2 mA，频率 48 MHz 电流 12 mA
    - 1 µA 睡眠模式
    - 200 nA 休眠模式， RAM 数据保持
  - 升压调节器的电压范围：最小输入电压 0.5 V，最大输出电压 5 V
- 性能
  - 8 位 8051 CPU， 32 个中断输入
  - 24 通道的直接存储器访问（DMA）控制器
- 存储器
  - 拥有缓存和安全特性的高达 64 KB 的编程闪存
  - 高达 8 KB 的用于存储纠错码（ECC）的闪存空间
  - 高达 8 KB 的 RAM
  - 高达 2 KB 的 EEPROM
- 数字外设
  - 4 路 16 位定时器、计数器或 PWM 模块（TCPWM）
  - 1 路硬件 I^2C 模块，总线速度 1 Mbps
  - 已认证的 USB 2.0 (FS) 12 Mbps 外设接口（TID#40770053），采用内部振荡器 [2]
  - 16 到 24 个通用数字模块（UDB），通过配置 UDB 模块，可以创建有限数量的如下功能模块：
    - 8、 16、 24 和 32 位定时器、计数器和 PWM
    - I^2C、 UART、 SPI、 I2S、 LIN 2.0 接口
    - 循环冗余校验（CRC）
    - 伪随机序列（PRS）发生器
    - 正交解码器
    - 门限逻辑功能
- 可编程时钟
  - 3 到 24 MHz 内部高频振荡器（IMO），3 MHz 输出精确度 2%
  - 支持 4 到 25 MHz 外部晶振
  - 50 MHz 内部 PLL 最高输出频率
  - 1 KHz 或 33/100 KHz 低功耗内部低频振荡器（ILO）
  - 支持 32.768 kHz 外部时钟晶振
  - 可布线到任何外设或 I/O 的 12 个时钟分频器
- 模拟外设
  - 8 至 12 位可配置 Delta-Sigma ADC
  - 8 位 DAC
  - 两个电压比较器
  - 支持 CapSense®，最多支持 62 个触摸传感器
  - 1.024 V ±1% 内部参考电压
- 多功能 I/O 系统
  - 29 至 72 个 I/O 引脚 — 多达 62 个通用 I/O （GPIO）
  - 多达 8 个特殊功能 I/O （SIO）引脚
    - 25 mA 灌电流
    - 可编程输入 / 输出阀值
    - 可作为通用比较器使用
    - 支持热插拔功能和过压容限
  - 两个 USBIO 可作为 GPIO 使用
  - 任意数字或模拟外设信号可以路由至任意引脚
  - 所有 GPIO 均支持段式 LCD 驱动，最多支持 46 Com x 16 Seg
  - 所有 GPIO 均支持 CapSense 功能
  - 1.2 V 至 5.5 V 接口电压，多达 4 个电压域
- 编程与调试
  - 支持 4 线 JTAG、 SWD 以及 SWV 接口
  - 支持通过 I^2C、 SPI、 UART、 USB 以及通信接口的 Bootloader 编程
- 封装选项：48-SSOP、 48-QFN、 68-QFN、 100-TQFP 以及 72-WLCSP
- 支持使用免费的 PSoC Creator™ 工具进行开发
  - 提供原理图和固件级别的设计支持
  - 提供了上百个 PSoC Component （PSoC 组件），相当于集成了众多专有 IC 和系统接口。每个组件均可通过简单的拖放添加到当前设计中。
  - 包含免费的 Keil 8051 编译器
  - 支持器件的编程和调试功能

注释：

1. 最大存放温度是 150°C，符合 JEDEC JESD22-A103 — 高温度存放使用寿命标准。
2. 该特性仅在特定器件上提供。更多详细信息，请参考 第 113 页上的订购信息。

更多有关的信息

赛普拉斯的网站 www.cypress.com 上提供了大量资料，有助于正确选择您设计的 PSoC 器件，并使您能够快速和有效地将器件集成到设计中。有关使用资源的完整列表，请参考知识库文章 KBA86521 — 如何使用 PSoC 3、PSoC 4 和 PSoC 5LP 进行设计。下面是 PSoC 3 的简要列表：

- 概况：PSoC 产品系列、 PSoC 路线图
- 产品选型器：PSoC 1、PSoC 3、PSoC 4、PSoC 5LP。此外，PSoC Creator 还包含一个器件选择工具。
- 应用笔记：赛普拉斯提供了大量 PSoC 应用笔记，包括从基本到高级的广泛主题。下面列出的是 PSoC3 入门的应用笔记：
  - AN54181：PSoC 3 入门
  - AN61290：硬件设计的注意事项
  - AN57821：混合信号电路板布局
  - AN58304：模拟设计的引脚选择
  - AN81623：数字设计的最佳实践
  - AN73854：Bootloader 的简介
- 开发套件：
  - CY8CKIT-001 为任何 PSoC 1、PSoC 3、PSoC 4 或 PSoC 5LP 器件系列提供一个通用的开发平台。
  - CY8CKIT-030 是专门为模拟性能而设计的。通过该套件，您可以评估、开发并原型化高精度模拟、低功耗及低电压的 PSoC 3 应用。

这两种套件都支持连接 PSoC 扩展板套件。扩展套件可用于 CapSense、高精度温度测量和电源监控等多种应用。

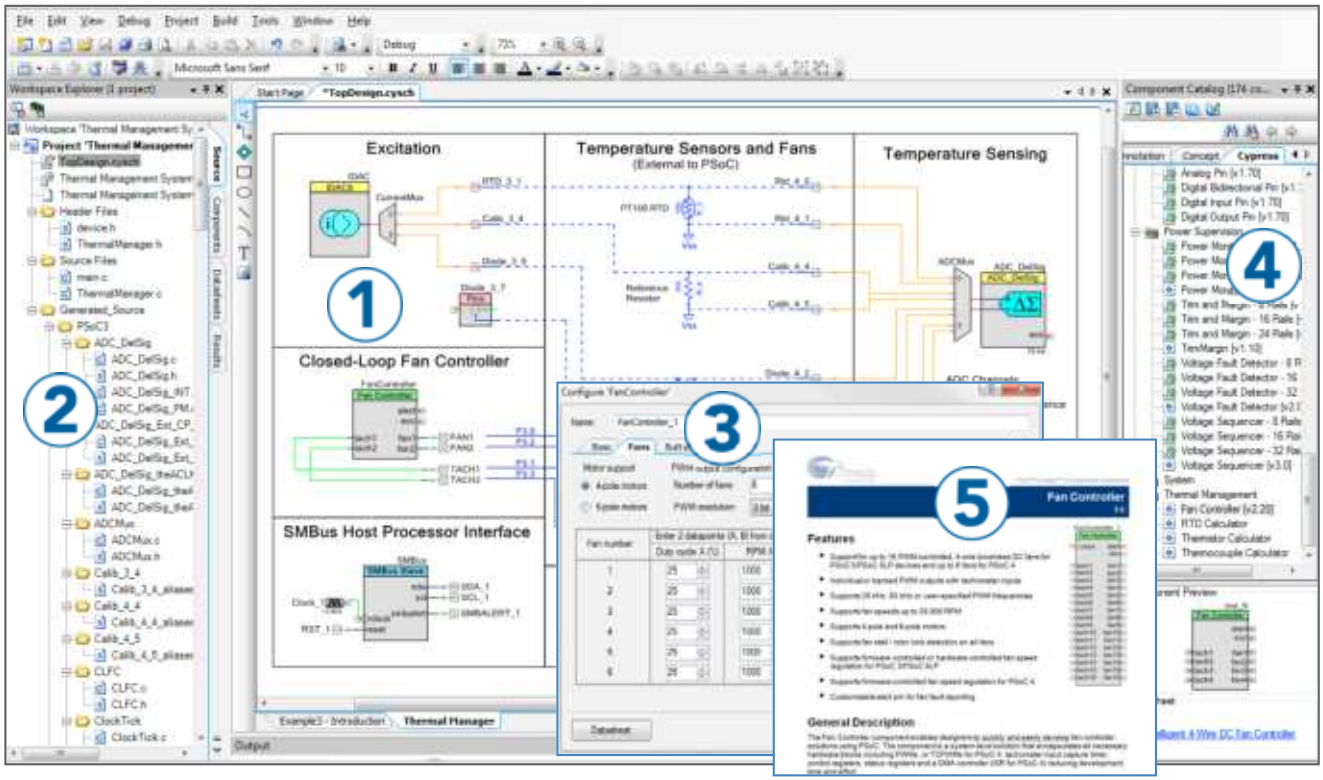
MiniProg3 编程工具可用于对 PSoC 器件的编程和调试（PSoC1 器件仅限编程）。

PSoC Creator

PSoC Creator 是免费的基于 Windows 的集成开发环境（IDE）。通过它能同时在 PSoC 3、PSoC 4 和 PSoC 5LP 系统中设计硬件和固件。PSoC Creator 通过基于原理图的经典方法设计系统架构，由上百个预验证可可用于生产的 PSoC Component tm 给与支持。更多信息请参考组件数据手册列表。使用 PSoC Creator，可以执行以下操作：

1. 将组件图标施放到主要设计工作区中，以进行您的硬件系统设计。
2. 使用 PSoC Creator 集成开发环境编译器对您的应用固件和 PSoC 硬件进行协同设计
3. 使用配置工具配置各组件
4. 研究包含 100 多个组件的库
5. 查看组件数据手册

图 1. PSoC Creator 中多传感器的示例项目



目录

1. 架构概述 4
2. 引脚布局 6
3. 引脚说明 12
4. CPU 13
4.1 8051 CPU 13
4.2 寻址模式 13
4.3 指令集 14
4.4 DMA 与 PHUB 18
4.5 中断控制器 20
5. 存储器 24
5.1 静态 RAM 24
5.2 闪存程序存储器 24
5.3 闪存安全性 24
5.4 EEPROM 24
5.5 非易失性锁存器（NVL） 25
5.6 外部存储器接口 26
5.7 存储器映射情况 26
6. 系统集成 28
6.1 时钟系统 28
6.2 供电系统 31
6.3 复位 36
6.4 I/O 系统与路由 38
7. 数字子系统 45
7.1 外设示例 45
7.2 通用数字模块 47
7.3 UDB 阵列说明 50
7.4 DSI 走线接口说明 50
7.5 USB 52
7.6 定时器、计数器和 PWM 52
7.7 I^2C 53
8. 模拟子系统 55
8.1 模拟布线 56
8.2 Delta-sigma ADC 58
8.3 电压比较器 59
8.4 LCD 直接驱动器 61
8.5 CapSense 61
8.6 温度传感器 61
8.7 DAC 62
9. 编程、调试接口与资源 63
9.1 JTAG 接口 63
9.2 串行线调试接口 65
9.3 调试功能 66
9.4 跟踪特性 66
9.5 单线浏览器接口 66
9.6 编程特性 66
9.7 器件安全性 66
9.8 CSP 封装 Bootloader 67
10. 开发支持 67
10.1 文档 67
10.2 在线资源 67
10.3 工具 67
11. 电气规范 68
11.1 最大绝对额定值 68
11.2 器件级规范 69
11.3 电源调节器 73
11.4 输入和输出 77
11.5 模拟外设 86
11.6 数字外设 98
11.7 存储器 101
11.8 PSoC 系统资源 107
11.9 时钟 109
12. 订购信息 113
12.1 器件型号约定 114
13. 封装 115
14. 缩略语 119
15. 参考文档 120
16. 文档规范 121
16.1 测量单位 121
17. 修订记录 122
18. 销售、解决方案和法律信息 123
全球销售和设计支持 123
产品 123
PSoC® 解决方案 123
赛普拉斯开发者社区 123
技术支持 123

1. 架构概述

CY8C32 系列的超低功耗闪存可编程片上系统（PSoC®）器件是可扩展的 8 位 PSoC 3 和 32 位 PSoC 5 平台的一部分。CY8C32 系列提供了 CPU 子系统的多个可配置的模拟、数字和互连电路模块。通过将 CPU 同高度灵活的模拟子系统、数字子系统、路由及 I/O 相结合，可以在众多消费、工业和医疗应用场合实现高度集成。

图 1-1. 简化的框图

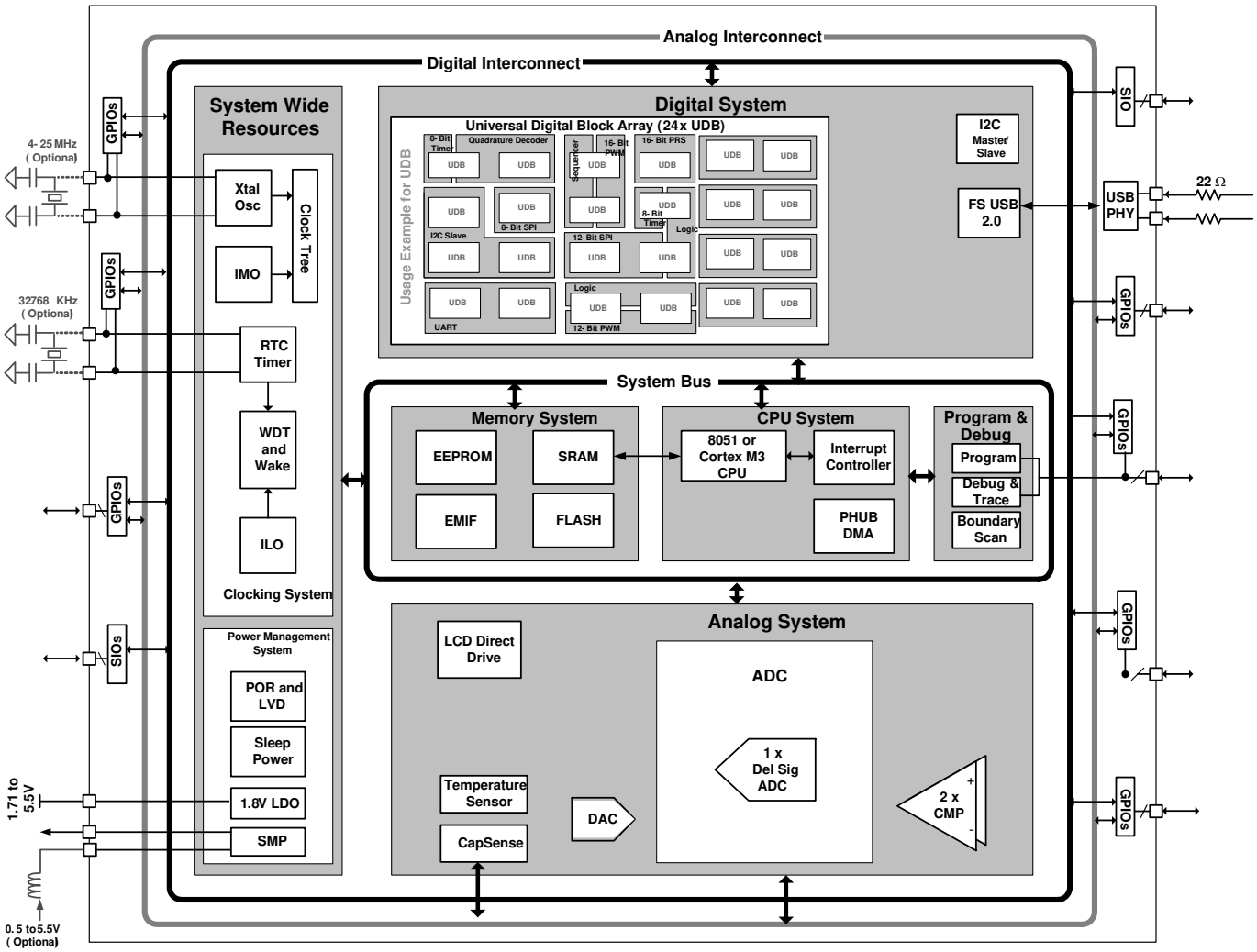


图 1-1 显示了 CY8C32 系列的主要组件，它们分别为：

- 8051 CPU 子系统
- 非易失性存储子系统
- 编程、调试和测试子系统
- 输入和输出
- 时钟
- 功耗
- 数字子系统
- 模拟子系统

PSoC 具有独特的可配置性，其中有一半是由其数字子系统提供的。数字子系统不仅能够通过数字系统互连（DSI）将来自任意外设的数字信号连接至任意引脚，而且还能够通过小而快的低功耗 UDB 实现功能灵活性。PSoC Creator 提供了一个外设库，其中包括经过测试并已映射至 UDB 阵列的标准预建数字外设，如 UART、SPI、LIN、PRS、CRC、定时器、计数器、PWM、AND、OR 等。此外，您还可以通过图形设计输入的方式，使用底层逻辑元件库轻松创建数字电路。每个 UDB 均包含可编程阵列逻辑（PAL）/ 可编程逻辑器件（PLD）功能，以及支持众多外设的小型状态机引擎。

除了能够提高 UDB 阵列的灵活性之外，PSoC 还提供旨在实现特定功能的可配置数字模块。对于 CY8C32 系列，这些模块包括四个 16 位定时器、计数器和 PWM 模块； I^2C 从设备、主设备和多主设备；以及全速 USB。

有关外设的详细信息，请参见本数据手册的第 45 页上的外设示例一节。有关 UDB、DSI 及其他数字模块的信息，请参见本数据手册的第 45 页上的数字子系统一节。

PSoC 独特可配置性的另外一半则来自于其模拟子系统。所有模拟性能都基于高度精确的绝对电压参考（在有效工作温度和电压下误差小于 1%）。可配置模拟子系统包括：

- 模拟复用器
- 电压比较器
- 参考电压
- ADC
- DAC

所有 GPIO 引脚都可以使用内部模拟总线将模拟信号输入和输出器件。因此，器件可接多达 62 个分立模拟信号。模拟子系统中包含一个快速、精确并具有以下特性的可配置 Delta-Sigma ADC：

- 偏移小于 100 µV
- 增益误差为 0.2%
- INL 小于 ±1 LSB
- DNL 小于 ±1 LSB
- SINAD 优于 66 dB

该转换器能够满足众多高精度模拟应用的需求，其中包括一些要求最为严苛的传感器。

高速电压或电流 DAC 支持 8 位输出信号，电流 DAC （IDAC）的更新速率为 8 Msps，电压 DAC （VDAC）的更新速率为 1 Msps。它可以路由到任何 GPIO 引脚。您可以使用 UDB 阵列创建分辨率更高的电压 PWM DAC 输出。利用此方法，可以在高达 48 kHz 的频率下创建高达 10 位的脉冲宽度调制（PWM）DAC。每个 UDB 中的数字 DAC 都支持 PWM、PRS 或 delta-sigma 算法，并且宽度可编程。

除了 ADC 和 DAC 以外，模拟子系统还提供多个电压比较器。

相关详细信息，请参见本数据手册中第 55 页上的模拟子系统一节一节。

PSoC 的 8051 CPU 子系统是围绕工作频率高达 50 MHz 的单周期流水线 8051 8 位处理器构建的。CPU 子系统包括可编程的嵌套向量中断控制器、DMA 控制器和 RAM。PSoC 的嵌套向量中断控制器可让CPU直接前进到中断服务子程序的第一个地址，而无需在其他架构中使用的跳转指令，因此具有较低的延迟。DMA 控制器使能外设，以在没有 CPU 干预的情况下交换数据。这样一来， CPU 就能够以较慢的速度运行 （降低功耗）或使用这些 CPU 周期来提高固件算法的性能。单周期 8051 CPU 的运行速度比标准 8051 处理器快十倍。处理器速度本身是可配置的，从而能够针对特定应用调整运行功耗。

PSoC 的非易失性子系统由闪存、按字节写入的 EEPROM 以及非易失性配置选项构成。它能够提供高达 64 KB 的片上闪存。CPU 可以对闪存的各个区块重新进行编程，以便使能 Bootloader。您可以针对可靠性较高的应用使能纠错码。功能强大且非常灵活的保护模型能够保护用户的敏感信息，并能够锁定选定的存储器模块，以便实现读写保护。片上提供了高达 2 KB 的按字节写入的 EEPROM，用于存储应用程序数据。此外，选定的配置选项 （如引导速度和引脚驱动模式）存储在非易失性存储器中，以便在加电复位 （POR）后立即激活相关设置。

三种类型的 PSoC I/O 都非常灵活。所有 I/O 都具有多种可在上电复位时设置的驱动模式。 PSoC 还通过 VDDIO 引脚提供多达四个 I/O 电压域。每个 GPIO 都具有模拟 I/O、LCD 驱动 [3]、CapSense[4]、灵活的中断生成、转换速率控制以及数字 I/O 功能。PSoC 上的 SIO 允许在用作输出时独立设置 Voh 和 VDDIO。SIO 在输入模式下处于高阻抗状态。即使当器件未加电或引脚电压高于供电电压时，亦是如此。这使得 SIO 非常适合在 I^2C 总线上使用，因为当该总线上的其他器件处于加电状态时， PSoC 可能未加电。SIO 引脚还具有非常高的灌电流能力，适用于 LED 驱动等应用。通过使用 SIO 的可编程输入阈值特性，可以将 SIO 用作通用模拟电压比较器。此外，对于带全速 USB 的器件，还提供了 USB 物理接口 （USBIO）。当不使用 USB 时，这些引脚还可以用于实现有限的数字功能和进行器件编程。本数据表的第 38 页上的 I/O 系统与路由一节对 PSoC I/O 的所有特性进行了详细说明。

PSoC 器件集成了非常灵活的内部时钟生成器，能够实现高度的稳定性和准确度。内部主振荡器 （IMO）是系统的时基，在 3 MHz 下的精度为 2%。IMO 的工作频率介于 3 MHz 至 24 MHz 之间可配置。为满足应用的要求，可将主时钟频率分频成多个时钟。器件提供了一个 PLL，以便从 IMO、外部晶振或外部基准时钟生成高达 50 MHz 的时钟频率。器件还包含一个单独的超低功耗内部低速振荡器 (ILO)，以便供睡眠和看门狗定时器使用。此外，在实时时钟 （Real Time Clock， RTC）应用中，还支持使用 32.768 kHz 的外部时钟晶体。时钟以及可编程时钟分频器具有高度的灵活性，能够满足大多数时序要求。

CY8C32 系列能够在 1.71 至 5.5 V 的电压范围内工作。可以采用 1.8 V ± 5%、2.5 V ±10%、3.3 V ± 10% 或 5.0 V ± 10% 等稳压电源，或直接采用多种不同类型的电池。此外，该系列还提供了一个集成的高效同步升压器，能够采用低至 0.5 V 的供电电压为器件供电。

注释：
3. 该特性仅在特定器件上提供。更多有关信息，请参考 第 113 页上的订购信息。
4. Opamp 的固有输出引脚不建议用作 CapSense 功能。

这样一来，便可以通过单个电池或太阳能电池为器件直接供电。不仅如此，您还可以使用升压转换器来生成器件所需的其他电压，例如，驱动 LCD 显示屏所需的 3.3 V 电压。升压器的输出引脚是 V_{BOOST}，从而可以从 PSoC 为应用中的其他器件供电。

PSoC 支持多种低功耗模式。其中包括 200 nA 休眠模式 （RAM 保留数据）和 1 µA 睡眠模式 （RTC 保持运行）。在第二种模式下，可选的 32.768 kHz 时钟晶体会连续运行，以保持精确的 RTC。

固件可以独立控制所有主要功能模块（包括可编程数字和模拟外设）的供电情况。因此，当某些外设未被使用时，可以采用低功耗后台处理模式。这样一来， CPU 在 6 MHz 下运行时，器件总电流仅为 1.2 mA，或者在 3 MHz 下则仅为 0.8 mA。

关于 PSoC 功耗模式的详细信息，请参见本数据手册中第 31 页上的供电系统一节一节。

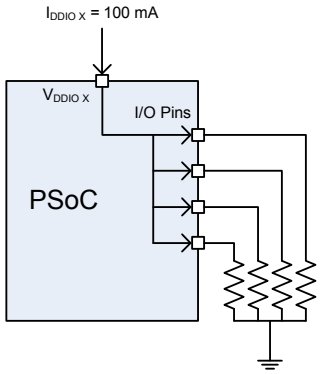
PSoC 采用 JTAG （4 线）接口或 SWD （2 线）接口进行编程、调试和测试。单线查看器 (SWV) 也可用于进行 “printf” 式调试。通过结合使用 SWD 和 SWV，您只需三个引脚，即可实现全功能调试接口。借助这些标准接口，您能够利用赛普拉斯公司或第三方供货商提供的众多硬件解决方案对 PSoC 进行调试或编程。PSoC 支持片上断点以及 4 KB 的指令和数据竞争存储器，以便进行调试。有关编程、测试和调试接口的详细信息，请参见本数据手册中的第 63 页上的编程、调试接口与资源一节。

2. 引脚布局

每个 VDDIO 引脚会供电给一组特殊的 I/O 引脚。（通过 VDDD 给 USBIO 供电。）通过使用 VDDIO 引脚，单个 PSoC 即可支持多个接口电压电平，而无需片外电平转换器。图 2-3 到图 2-6 中引脚分配框图内的黑线显示了每个 VDDIO 所供电的引脚。

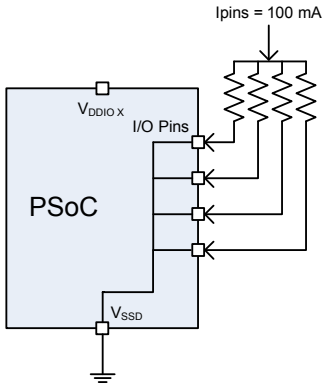
每个 VDDIO 总共可为相应 I/O 引脚提供高达 100 mA 的拉电流，如 图 2-1 所示。

图 2-1. VDDIO 电流限制



反过来，对于 100 引脚和 68 引脚器件，也可以将 100 mA 的总电流灌入到与任意 VDDIO 相应的引脚组，如图 2-2 所示。

图 2-2. I/O 引脚电流限制



对于 48 引脚器件，可以将 100 mA 的总电流灌入到与 VDDIO0 和 VDDIO2 相应的所有 I/O 引脚组。可以将 100 mA 的总电流灌入到与 VDDIO1 和 VDDIO3 相应的所有 I/O 引脚组。

图 2-3. 48-SSOP 器件的引脚分布图

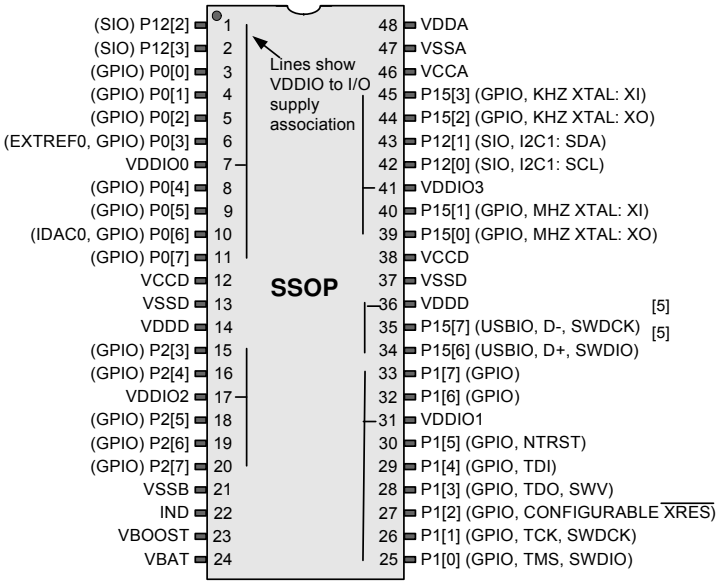
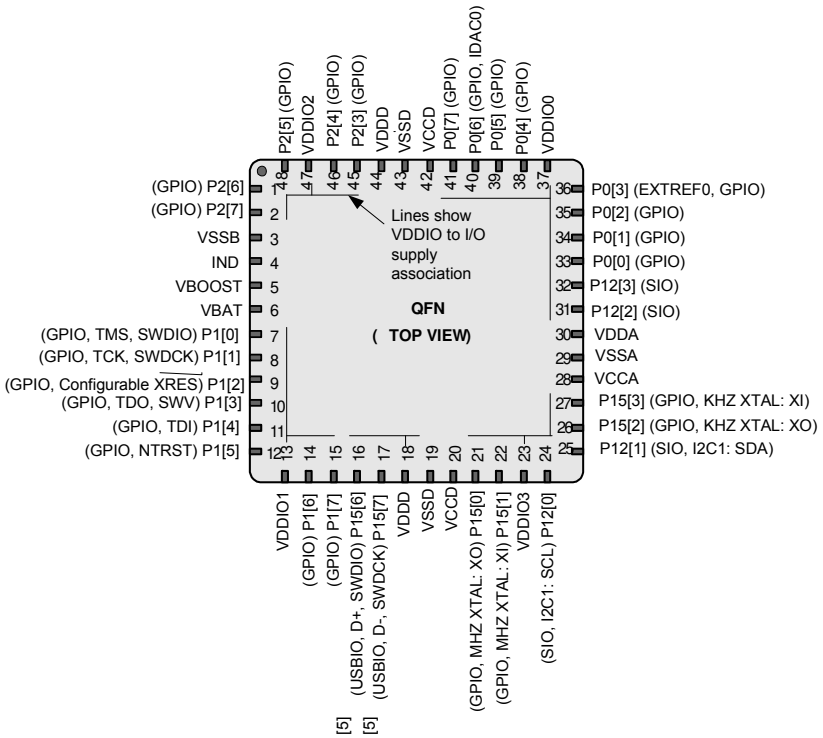


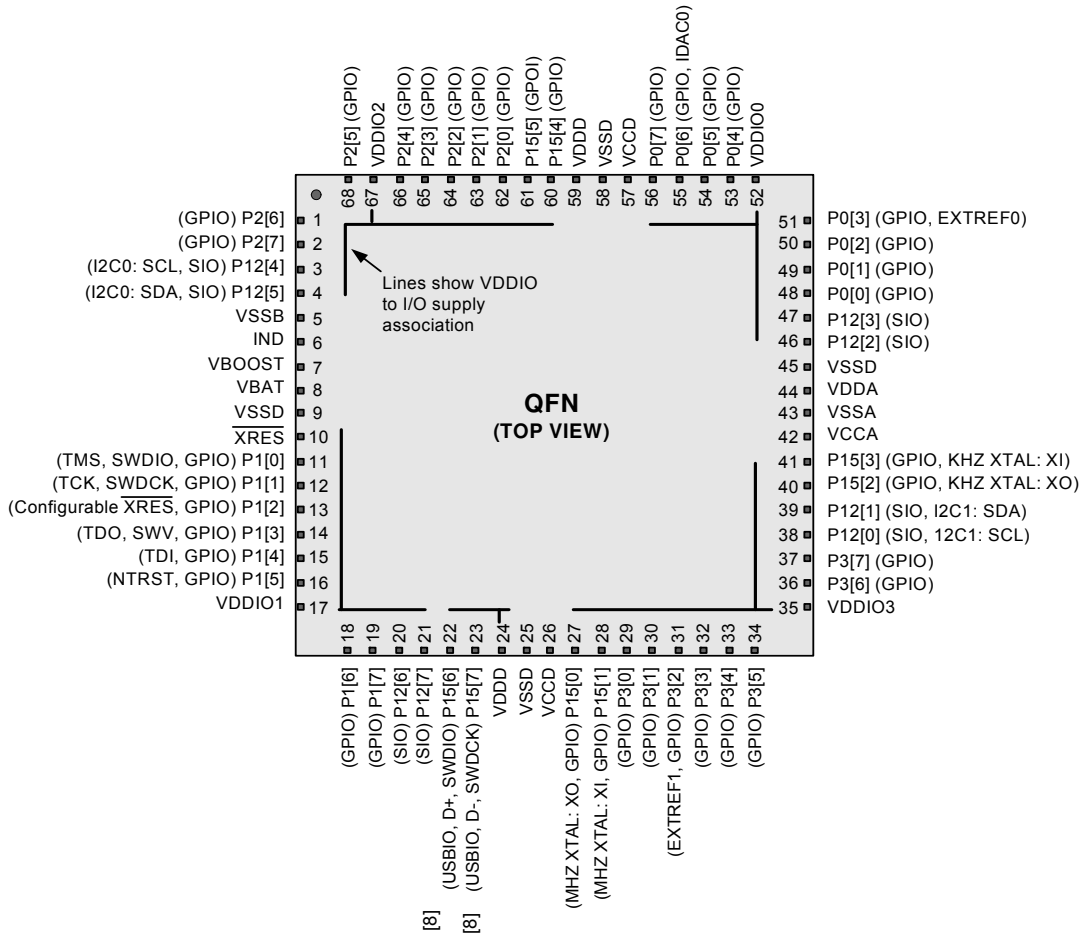
图 2-4. 48-QFN 器件的引脚分布图 [6]



注释：

5. 对于不带 USB 的器件，引脚的状态为 “DNU” （即请勿使用）。该引脚必须悬空。
6. QFN 封装上的中心焊盘应连接到数字地 （VSSD），以获得最佳机械、热学和电气性能。如果未接地，则应处于电气悬空状态，而不能连接到任何其他信号。更多有关信息，请参见 AN72845 — QFN 封装的设计指南。

图 2-5. 68-QFN 器件的引脚分布图 [7]



注释：

7. QFN 封装上的中心焊盘应连接到数字地 （VSSD），以获得最佳机械、热学和电气性能。如果未接地，则应处于电气悬空状态，而不能连接到任何其他信号。更多有关信息，请参见 AN72845 — QFN 封装的设计指南。
8. 对于不带 USB 的器件，引脚的状态为 “DNU” （即请勿使用）。该引脚必须悬空。

图 2-6. 100-TQFP 器件的引脚布局

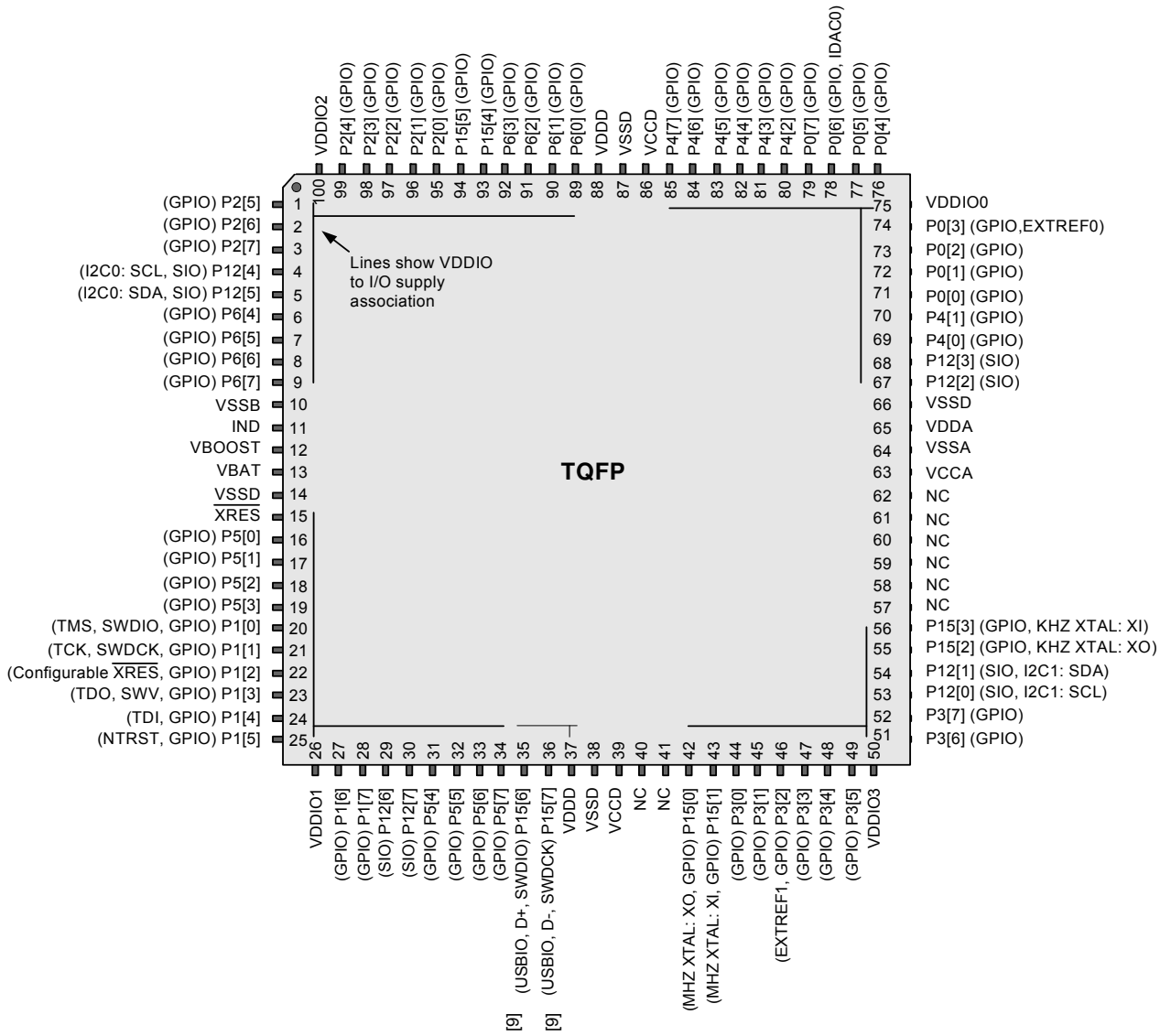


表 2-1 显示的是 72-CSP 封装的引脚分布。由于共有 4 个 V_{DDIO} 引脚，因此，与 100 引脚和 68 引脚器件相同，将 100 mA 的总电流灌入到与 V_{DDIO} 相应的 I/O 引脚组。

表 2-1. CSP 引脚分布

球形焊盘	名称	球形焊盘	名称	球形焊盘	名称
G6	P2[5]	F1	VDDD	A5	VDDA
E5	P2[6]	E1	VSSD	A6	VSSD
F5	P2[7]	E2	VCCD	B6	P12[2]
J7	P12[4]	C1	P15[0]	C6	P12[3]
H6	P12[5]	C2	P15[1]	A7	P0[0]
J6	VSSB	D2	P3[0]	B7	P0[1]
J5	Ind	D3	P3[1]	B5	P0[2]

注释：
9. 对于不带 USB 的器件，引脚的状态为 “DNU” （即请勿使用）。该引脚必须悬空。

表 2-1. CSP 引脚分布 （续）

球形焊盘	名称	球形焊盘	名称	球形焊盘	名称
H5	VBOOST	D4	P3[2]	C5	P0[3]
J4	VBAT	D5	P3[3]	A8	VIO0
H4	VSSD	B4	P3[4]	D6	P0[4]
J3	XRES_N	B3	P3[5]	D7	P0[5]
H3	P1[0]	A1	VIO3	C7	P0[6]
G3	P1[1]	B2	P3[6]	C8	P0[7]
H2	P1[2]	A2	P3[7]	E8	VCCD
J2	P1[3]	C3	P12[0]	F8	VSSD
G4	P1[4]	C4	P12[1]	G8	VDDD
G5	P1[5]	E3	P15[2]	E7	P15[4]
J1	VIO1	E4	P15[3]	F7	P15[5]
F4	P1[6]	B1[10]	NC	G7	P2[0]
F3	P1[7]	B8[10]	NC	H7	P2[1]
H1	P12[6]	D1[10]	NC	H8	P2[2]
G1	P12[7]	D8[10]	NC	F6	P2[3]
G2	P15[6]	A3	VCCA	E6	P2[4]
F2	P15[7]	A4	VSSA	J8	VIO2

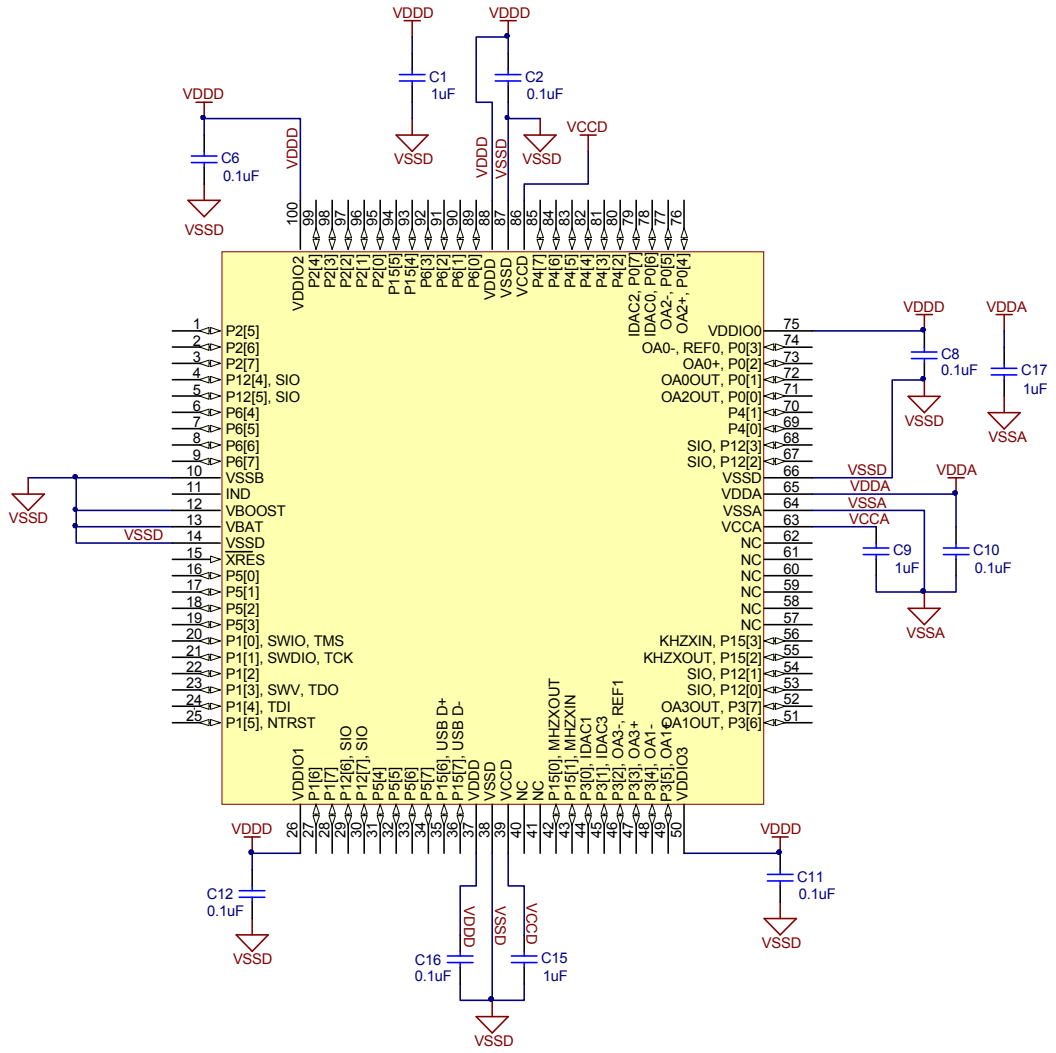
图 2-7 和图 2-8 所示的是 100-TQFP 器件的原理图和 PCB 布局示例，该示例可以在两层电路板上获得最佳模拟性能。

- 两个标记 VDDD 的引脚必须连接在一起。
- 两个标记VCCD的引脚必须连接在一起，并且必须连接电容，如图2-7和 第31页上的供电系统所示。两个VCCD引脚之间的线路越短越好。
- 两个标有 VSSD 的引脚必须连接在一起。

有关混合信号电路板布局问题的详细信息，请参考应用手册 AN57821 — PSoC® 3 与 PSoC 5LP 混合信号电路板布局的注意事项。

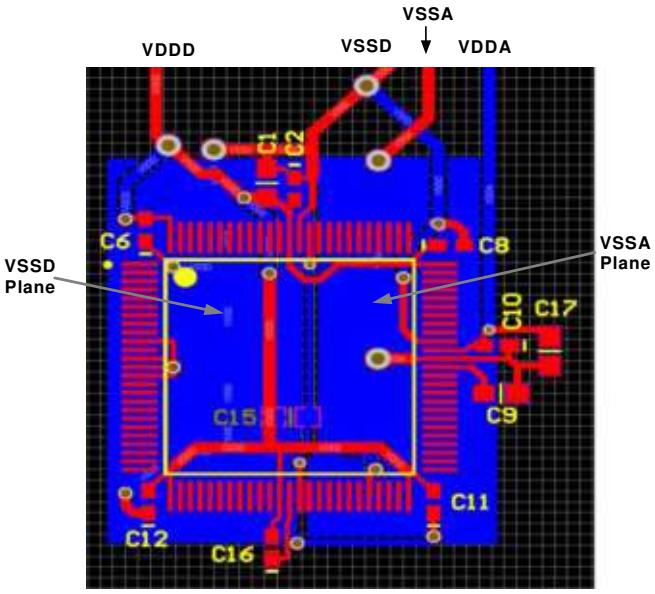
注释：
10. 这些引脚是 “ 请勿使用 ” （DNU）；它们必须悬空。

图 2-7. 100-TQFP 器件通电时的原理图示例



注意：两个 VCCD 引脚必须连接在一起，并且它们之间的线路越短越好。建议在器件下方连接线路，如第 12 页上的图 2-8 所示。

图 2-8. 100-TQFP 器件获得最佳模拟性能的 PCB 布局示例



3. 引脚说明

IDAC0

大电流 DAC （IDAC）的低电阻输出引脚。

Extref0、 Extref1

模拟系统的外部参考输入引脚。

GPIO

通用 I/O 引脚提供用于连接 CPU、数字外设、模拟外设、中断 LCD 段驱动和 CapSense 的接口。

I2C0: SCL， I2C1：SCL

I^2C SCL 线路提供在地址匹配时从睡眠模式唤醒的功能。如果不需要从睡眠模式唤醒，则任意 I/O 引脚都可用于 I^2C SCL。

I2C0: SDA， I2C1: SDA

I^2C SDA 线路提供在地址匹配时从睡眠模式唤醒的功能。如果不需要从睡眠模式唤醒，则任意 I/O 引脚都可用于 I^2C SDA。

Ind

升压器的电感连接引脚。

kHz XTAL：Xo， kHz XTAL：Xi

32.768 kHz 晶振引脚。

MHz XTAL：Xo， MHz XTAL：Xi

4 至 25 MHz 晶振引脚。

nTRST

可选的 JTAG 测试复位编程与调试端口连接引脚，以复位 JTAG 连接。

SIO

专用 I/O 提供用于连接 CPU、数字外设和中断的接口，并能够提供可编程的高阈值电压、模拟电压比较器和非常高的灌电流，当器件未加电时处于高阻抗状态。

SWDCK

串行线调试时钟编程与调试端口连接引脚。

SWDIO

串行线调试输入和输出编程与调试端口连接引脚。

SWV

单线查看器调试输出引脚。

TCK

JTAG 测试时钟编程与调试端口连接引脚。

TDI

JTAG 测试数据输入编程与调试端口连接引脚。

TDO

JTAG 测试数据输出编程与调试端口连接引脚。

TMS

JTAG 测试模式选择编程与调试端口连接引脚。

USBIO、 D+

提供与 USB 2.0 总线的直接 D+ 连接。可用作数字 I/O 引脚。在不带 USB 的器件上，引脚处于 “ 请勿使用 ” （DNU）状态。

USBIO、 D-

提供与 USB 2.0 总线的直接 D– 连接。可用作数字 I/O 引脚。在不带 USB 的器件上，引脚处于无连接 （NC）状态。

VBOOST

升压器的供电传感连接引脚。

VBAT

升压器的电池供电引脚。

VCCA :

模拟系统内核调节器的输出引脚或模拟系统内核的输入引脚。需要为 VSSA 连接 1 µF 电容。电压调节器输出不适用于驱动外部电路。**请注意，如果您使用具有外部内核调节器的器件（外部调节模式），供给该引脚的电压不能超过允许范围（1.71 V 至 1.89 V） 。**使用内部内核调节器 （内部调节模式，即默认模式）时，不要供电给该引脚。有关详细信息，请参见 第 31 页上的供电系统。

VCCD :

数字系统内核电压调节器的输出引脚或数字系统内核的输入引脚。 两个 VCCD 引脚必须连接在一起，引脚之间的线路越短越好，并将 1 µF 电容连接到 VSSD。电压调节器输出不适用于驱动外部电路。**请注意，如果您使用具有外部内核调节器的器件（外部调节模式），供给该引脚的电压不能超过允许范围（1.71 V 至 1.89 V）。**使用内部内核调节器 （内部调节模式，即默认模式）时，不要供电给该引脚。有关详细信息，请参见 第 31 页上的供电系统。

VDDA

所有模拟外设和模拟系统内核电压调节器的供电引脚。**VDDA 必须是器件上的最高电压。所有其他供电引脚必须小于或等于 VDDA。**

VDDD

所有数字外设和数字系统内核电压调节器的供电引脚。VDDIO 必须小于或等于 VDDA。

VSSA

所有模拟外设的接地引脚。

VSSB

升压器的接地引脚。

VSSD

所有数字逻辑和 I/O 引脚的接地引脚。

VDDIO0、 VDDIO1、 VDDIO2、 VDDIO3

I/O 引脚的供电引脚。有关特定 I/O 引脚至 VDDIO 的映射，请参见引脚分布。每个 VDDIO 都必须连接到有效的工作电压 （1.71 V 至 5.5 V），并且必须小于或等于 VDDA。

$\overline{\text{XRES}}$ （与可配置的 $\overline{\text{XRES}}$）

外部复位引脚。内部上拉，低电平有效。可将引脚 P1[2] 配置为一个 XRES 引脚；请参见第 25 页上的非易失性锁存器（NVL）。

4. CPU

4.1 8051 CPU

CY8C32 器件采用单周期 8051 CPU，与原来的 MCS-51 指令集完全兼容。 CY8C32 系列采用流水线 RISC 架构，在执行大多数指令时都能在 1-2 个周期内完成，能够提供高达 24 MIPS 的峰值性能，并且每个指令平均需要两个周期。单周期 8051 CPU 的运行速度比标准 8051 处理器快十倍。

8051 CPU 子系统包括下列特性：

- 单周期 8051 CPU
- 高达 64 KB 的闪存存储器，高达 2 KB 的 EEPROM，以及高达 8 KB 的 SRAM
- CPU 与闪存之间的 512 字节指令缓存
- 可编程的嵌套向量中断控制器
- 直接存储器访问 （DMA）控制器
- 外设集线器 （PHUB）
- 外部存储器接口 （EMIF）

4.2 寻址模式

8051 支持下列寻址模式：

- 直接寻址：通过 8 位直接地址字段指定操作数。使用该模式只能访问内部 RAM 和 SFR。
- 间接寻址：通过指令指定包含操作数地址的寄存器。寄存器 R0 或 R1 用于指定 8 位地址，数据指针 （DPTR）寄存器用于指定 16 位地址。
- 寄存器寻址：通过特定指令访问指定寄存器组中的其中一个寄存器 （R0 至 R7）。这些指令无需地址字段，因此更为有效。
- 寄存器专用指令：有些指令是特定寄存器的专用指令。例如，有些指令始终用于累加器。在这种情况下，无需指定操作数。
- 立即常量：有些指令直接使用常量值，而不是地址。
- 索引寻址：此类寻址只能用于读取程序存储器。该模式采用数据指针作为基址，并采用累加器的值作为偏移量，来读取程序存储器。
- 地址位：在该模式下，操作数是 256 位中的其中一位。

4.3 指令集

8051 指令集已经过高度优化，能够进行 8 位处理和 Boolean 运算。支持的指令类型包括：

- 算术指令
- 逻辑指令
- 数据传输指令
- Boolean 指令
- 程序分支指令

4.3.1 指令集摘要

4.3.1.1 算术指令

算术指令支持以下寻址模式：直接寻址、间接寻址、寄存器寻址、立即常量寻址和寄存器专用指令寻址。算术模式用于执行加、减、乘、除、递增和递减运算。表 4-1 列出了不同的算术指令。

表 4-1. 算术指令

助记符	说明	字节	周期
ADD A,Rn	将寄存器的值加到累加器	1	1
ADD A,Direct	将直接访问字节的值加到累加器	2	2
ADD A,@Ri	将间接访问 RAM 的值加到累加器	1	2
ADD A,#data	将立即数加到累加器	2	2
ADDC A,Rn	将寄存器值带进位加到累加器	1	1
ADDC A,Direct	将直接访问字节的值带进位加到累加器	2	2
ADDC A,@Ri	将间接访问 RAM 的数据带进位加到累加器	1	2
ADDC A,#data	将立即数带进位加到累加器	2	2
SUBB A,Rn	从累加器带借位减去寄存器值	1	1
SUBB A,Direct	从累加器带借位减去直接访问字节	2	2
SUBB A,@Ri	从累加器带借位减去 RAM 内的间接值	1	2
SUBB A,#data	从累加器带借位减去立即数	2	2
INC A	累加器值加 1	1	1
INC Rn	寄存器值加 1	1	2
INC Direct	直接访问字节加 1	2	3
INC @Ri	RAM 内的间接值加 1	1	3
DEC A	累加器的值减 1	1	1
DEC Rn	寄存器值减 1	1	2
DEC Direct	直接访问字节的值减 1	2	3
DEC @Ri	RAM 内的间接值减 1	1	3
INC DPTR	数据指针加 1	1	1
MUL	累加器的值乘以 B	1	2
DIV	累加器的值除以 B	1	6
DAA	对累加器的值进行十进制调整	1	3

4.3.1.2 逻辑指令

逻辑指令用于对字节执行 AND、OR、XOR 等 Boolean 运算，对累加器的数据执行循环移位，以及交换累加器中的半字节。针对字节的 Boolean 运算是按位执行的。第 15 页上的表 4-2 列出了逻辑指令及其说明。

表 4-2. 逻辑指令

助记符	说明	字节	周期
ANL A,Rn	累加器与寄存器相 “ 与 （AND）”	1	1
ANL A,Direct	累加器与直接访问字节相 “ 与 （AND）”	2	2
ANL A,@Ri	累加器与 RAM 内的间接值相 “ 与 （AND）”	1	2
ANL A,#data	累加器与立即数相 “ 与 （AND）”	2	2
ANL Direct, A	直接访问字节与累加器相 “ 与 （AND）”	2	3
ANL Direct, #data	直接访问字节与立即数相 “ 与 （AND）”	3	3
ORL A,Rn	累加器与寄存器相 “ 或 （OR）”	1	1
ORL A,Direct	累加器与直接访问字节相 “ 或 （OR）”	2	2
ORL A,@Ri	累加器与 RAM 内的间接值相 “ 或 （OR）”	1	2
ORL A,#data	累加器与立即数相 “ 或 （OR）”	2	2
ORL Direct, A	直接访问字节与累加器相 “ 或 （OR）”	2	3
ORL Direct, #data	直接访问字节与立即数相 “ 或 （OR）”	3	3
XRL A,Rn	累加器与寄存器相 “ 异或 （XOR）”	1	1
XRL A,Direct	累加器与直接访问字节相 “ 异或 （XOR）”	2	2
XRL A,@Ri	累加器与 RAM 内的间接值相 “ 异或 （XOR）”	1	2
XRL A,#data	累加器与立即数相 “ 异或 （XOR）”	2	2
XRL Direct, A	直接访问字节与累加器相 “ 异或 （XOR）”	2	3
XRL Direct, #data	直接访问字节与立即数相 “ 异或 （XOR）”	3	3
CLR A	清除累加器	1	1
CPL A	实现累加器的补码	1	1
RL A	累加器循环左移	1	1
RLC A	累加器带进位循环左移	1	1
RR A	累加器循环右移	1	1
RRC A	累加器带进位循环右移	1	1
SWAP A	交换累加器中的半字节	1	1

4.3.1.3 数据传输指令

数据传输指令有三种类型：内核 RAM、外部数据 RAM 以及查询表。内核 RAM 传输包括任意两个内核 RAM 地址或 SFR 之间的传输。这些指令可以采用直接寻址、间接寻址、寄存器寻址和立即寻址模式。外部数据 RAM 传输仅包括累加器和外部数据 RAM 地址之间的传输。它只能采用间接寻址模式。除了使用索引寻址模式读取程序存储器之外，查询表不涉及任何其他内容。表 4-3 列出了各种可用数据传输指令。

4.3.1.4 Boolean 指令

8051 内核具有一个单独的位寻址存储器地址，其中包括 128 位的位寻址 RAM 以及一组位寻址 SFR。指令集包括所有的位运算，如传输、置位、清零、求反、或（OR）、与（AND）指令，以及条件跳转指令。第 17 页上的表 4-4 列出了可用的 Boolean 指令。

表 4-3. 数据传输指令

助记符	说明	字节	周期
MOV A,Rn	将寄存器的值传输到累加器中	1	1
MOV A,Direct	将直接访问字节传输到累加器中	2	2
MOV A,@Ri	将间接访问 RAM 数据传输到累加器	1	2
MOV A,#data	将立即数传输到累加器中	2	2
MOV Rn,A	将累加器的值传输到寄存器中	1	1
MOV Rn,Direct	将直接访问字节传输到寄存器中	2	3
MOV Rn, #data	将立即数传输到寄存器中	2	2
MOV Direct, A	将累加器的值传输到直接访问字节	2	2
MOV Direct, Rn	将寄存器的值传输到直接访问字节中	2	2
MOV Direct, Direct	将直接访问字节的值传输到直接访问字节中	3	3
MOV Direct, @Ri	将间接访问 RAM 的数据传输到直接访问字节	2	3
MOV Direct, #data	将立即数传输到直接访问字节中	3	3
MOV @Ri, A	将累加器的数据传输到间接访问 RAM 中	1	2
MOV @Ri, Direct	将直接访问字节传输到间接访问 RAM 中	2	3
MOV @Ri, #data	将立即数传输到间接访问 RAM 中	2	2
MOV DPTR, #data16	将 16 位常量加载到数据指针	3	3
MOVC A, @A+DPTR	将相对于 DPTR 的代码字节传输到累加器中	1	5
MOVC A, @A + PC	将相对于 PC 的代码字节传输到累加器中	1	4
MOVX A,@Ri	将外部 RAM （8 位）的值传输到累加器中	1	4
MOVX A, @DPTR	将外部 RAM （16 位）的值传输到累加器中	1	3
MOVX @Ri, A	将累加器的值传输到外部 RAM （8 位）	1	5
MOVX @DPTR, A	将累加器的值传输到外部 RAM （16 位）	1	4
PUSH Direct	将直接访问字节推入堆栈	2	3
POP Direct	弹出堆栈中的直接访问字节	2	2
XCH A, Rn	交换寄存器与累加器的值	1	2
XCH A, Direct	交换直接访问字节与累加器的值	2	3
XCH A, @Ri	交换间接访问 RAM 与累加器的值	1	3
XCHD A, @Ri	交换低位间接数字 RAM 与累加器的值	1	3

表 4-4. 布尔指令

助记符	说明	字节	周期
CLR C	进位清零	1	1
CLR bit	直接位清零	2	3
SETB C	设置进位	1	1
SETB bit	设置直接位	2	3
CPL C	实现进位的补码	1	1
CPL bit	实现直接位的补码	2	3
ANL C, bit	进位与直接位相 “ 与 （AND）”	2	2
ANL C, /bit	进位与直接位的补码相 “ 与 （AND）”	2	2
ORL C, bit	进位与直接位相 “ 或 （OR）”	2	2
ORL C, /bit	进位与直接位的补码相 “ 或 （OR）”	2	2
MOV C, bit	将直接位移动到进位	2	2
MOV bit, C	将进位移动到直接位	2	3
JC rel	如果置位了进位，则跳转	2	3
JNC rel	如果未置位进位，则跳转	2	3
JB bit, rel	如果置位了直接位，则跳转	3	5
JNB bit, rel	如果未置位直接位，则跳转	3	5
JBC bit, rel	如果置位了直接位，则跳转，并使该位清零	3	5

4.3.1.5 程序分支指令

8051 支持一组条件和无条件跳转指令，用于帮助修改程序执行流程。表 4-5 列出了这些跳转指令。

表 4-5. 跳转指令

助记符	说明	字节	周期
ACALL addr11	绝对调用子程序	2	4
LCALL addr16	长调用子程序	3	4
RET	从子程序返回	1	4
RETI	从中断返回	1	4
AJMP addr11	绝对跳转	2	3
LJMP addr16	长跳转	3	4
SJMP rel	短跳转 （相对地址）	2	3
JMP @A + DPTR	相对于 DPTR 间接跳转	1	5
JZ rel	如果累加器值为零，则跳转	2	4
JNZ rel	如果累加器值不为零，则跳转	2	4
CJNE A,Direct, rel	比较直接访问字节与累加器，如果不相等则跳转	3	5
CJNE A, #data, rel	比较立即数与累加器，不相等则跳转	3	4
CJNE Rn, #data, rel	比较立即数与寄存器，不相等则跳转	3	4
CJNE @Ri, #data, rel	比较立即数与 RAM 内的间接值，不相等则跳转	3	5
DJNZ Rn,rel	寄存器值减 1，结果不为零则跳转	2	4
DJNZ Direct, rel	直接访问字节减 1，结果不为零则跳转	3	5
NOP	无操作	1	1

4.4 DMA 与 PHUB

PHUB 和 DMA 控制器负责 CPU 和外设之间的数据传输，以及外设之间的数据传输，此外还在引导期间控制器件配置。PHUB 包括：

- 一个中央集线器，其中包括 DMA 控制器、仲裁器和路由器
- 从集线器向外辐射到大多数外设的多个并行访问路径

有两个 PHUB 主设备：即 CPU 和 DMA 控制器。这两个主设备都可以启动总线上的数据操作。DMA 通道可以处理外设通信，而无需 CPU 干预。如果有多个请求，中央集线器中的仲裁器将决定哪个 DMA 通道具有最高优先级。

4.4.1 PHUB 特性

- CPU 与 DMA 控制器都是 PHUB 的总线主设备
- 八个多层 AHB 总线并行访问路径，用于外设访问
- 对位于不同并行访问路径上的外设进行同步 CPU 和 DMA 访问
- 在不同spoke上进行同步DMA源和目的突发（Burst）数据操作
- 支持 8、 16、 24 和 32 位寻址和数据

表 4-6. PHUB 多层并行访问路径 （Spoke）和外设

PHUB 多层并行访问路径	外设
0	SRAM
1	IO、 PICU、 EMIF
2	PHUB 局部配置、电源管理器、时钟、 IC、SWV、 EEPROM、闪存编程接口
3	模拟接口与 Trim，抽取滤波器
4	USB、 USB、 I^2C、定时器、计数器和 PWM
5	保留
6	UDB 组 1
7	UDB 组 2

4.4.2 DMA 特性

- 24 个 DMA 通道
- 每个通道有一个或多个数据操作描述符（TD），以便配置通道行为。总共可以定义多达 128 个 TD
- 可动态更新 TD
- 每个通道具有八个优先级别
- 任何数字路由信号、CPU 或其他 DMA 通道均可触发数据操作
- 每个通道在每次传输时最多可以生成两个中断
- 可以停止或取消数据操作
- 支持任意大小（即 1 至 64k 字节）的数据操作
- 可以嵌套和 / 或链接 TD，以进行复杂的数据操作

4.4.3 优先级别

当 CPU 访问和 DMA 控制器访问需要相同的总线资源时， CPU 的优先级始终高于 DMA 控制器的。不过，由于所采用的系统架构，CPU 不会阻止 DMA 的操作。具有较高优先级（优先级编号较小）的 DMA 通道可以中断当前的 DMA 传输。在这种情况下，系统会允许当前传输完成其当前数据操作。当多个 DMA 访问请求同时发生时，为了确保延迟限制，公平算法会在优先级级别 2 至 7 之间进行调度，以确保最低总线带宽的交错百分比。优先级级别 0 和 1 不会参与公平算法，并且可以使用 100% 的总线带宽。如果具有相同优先级别的两个 DMA 请求同时发生，则会使用简单的轮循算法来平等地使用所分配的带宽。可以针对每个 DMA 通道禁用轮循分配，以便使相应通道始终位于队列的开头。在满足了 CPU 和 DMA 优先级别 0 和 1 的要求之后，系统会保证优先级别 2 至 7 可以分配到表 4-7 中所示的最低总线带宽。

表 4-7. 优先级

优先级	总线带宽百分比
0	100.0
1	100.0
2	50.0
3	25.0
4	12.5
5	6.2
6	3.1
7	1.5

如果禁用公平算法，则仅根据优先级别为 DMA 访问分配资源；而不会提供任何总线带宽保障。

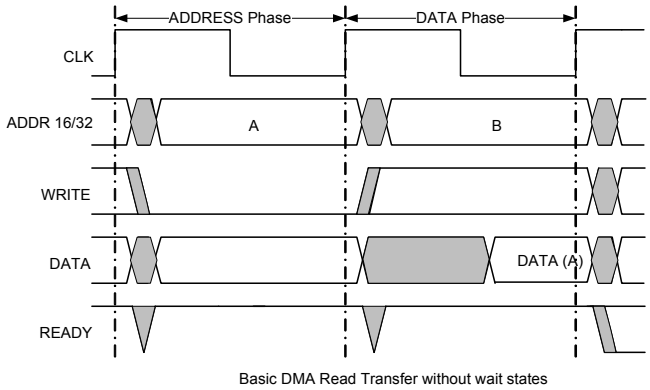
4.4.4 支持的数据操作模式

由于可以灵活地配置每个 DMA 通道并能够链接多个通道，因此既可以创建简单的用例，也可以创建复杂的用例。一般用例包括（但不限于）：

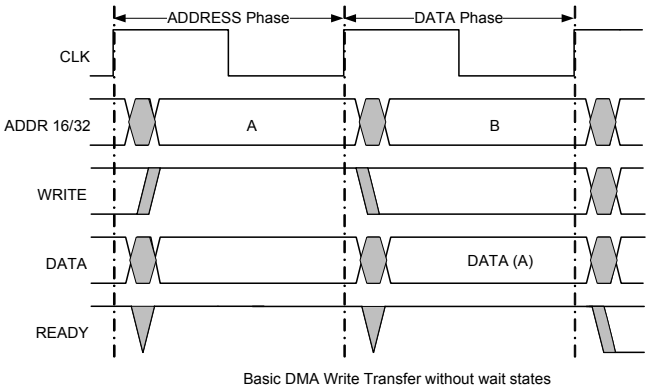
4.4.4.1 简单 DMA

在简单 DMA 中，使用单个 TD 在来源和接收器（外设或存储器位置）之间传输数据。DMA 读 / 写周期的基本时序图如图 4-1 所示。有关其他传输模式的更多说明，请参考技术参考手册。

图 4-1. DMA 时序图



Basic DMA Read Transfer without wait states



Basic DMA Write Transfer without wait states

4.4.4.2 自动重复 DMA

当从系统存储器重复读取静态样本，并将其写入到外设中时，通常会使用自动重复DMA。重复操作是通过与其自身相链接的单个 TD 来实现的。

4.4.4.3 交替 DMA

通过采用双缓冲技术，交替 DMA 允许一个客户在向一个缓冲区存入数据的同时，另一个客户使用另一个缓冲区中先前收到的数据。在最简单的情况下，这可以通过以下方法来实现：将两个 TD 链接在一起，以便每个 TD 在完成后调用另一个 TD。

4.4.4.4 循环 DMA

循环 DMA 与交替 DMA 类似，只不过它包含两个以上的缓冲区。这种用例包含多个TD；最后一个TD完成后会链回到第一个TD。

4.4.4.5 分散 / 聚集 DMA

在分散 / 聚集 DMA 中，需要有多个非连续的来源或目的地，以便有效地执行整个 DMA 数据操作。例如，可能需要将某个数据包发送到器件之外，而该数据包的各个元素（包括包头、包体和包尾）位于存储器中不同的非连续位置。分散 / 聚集 DMA 允许使用链中的多个 TD 将各个段连接在一起。链会聚集多个位置中的数据。类似概念也适用于在器件上接收数据。在收到的数据中，某些部分可能需要分散到存储器中的不同位置，以便软件进行处理。链中的每个 TD 用于指定链中每个离散元素的位置。

4.4.4.6 数据包排队 DMA

数据包排队 DMA 与分散 / 聚集 DMA 类似，但明确引用数据包协议。借助这些协议，发送或接收数据包可以采用单独的配置、数据和状态阶段。

例如，要发送数据包，可以将存储器映射配置寄存器的内容写入到外设中，并指定后续数据阶段的总长度。CPU 可以在系统存储器中的任意位置设置此配置信息，并将其与简单 TD 一起复制到外设。配置阶段结束后，即可开始一个或一系列数据阶段 TD（可能会使用分散 / 聚集）。数据阶段 TD 结束后，可以调用状态阶段 TD，以便从外设读取某些存储器映射状态信息，并将其复制到 CPU 指定的系统存储器中的某个位置，以便稍后进行检查。可以将多组配置、数据和状态阶段 “ 子链 ” 连成一条更长的链，以便按此方式传送多个数据包。反向接收数据包采用了类似概念。

4.4.4.7 嵌套 DMA

一个 TD 可以修改另一个 TD，因为与任何其他外设一样，TD 配置空间也已进行存储器映射。例如，第一个 TD 加载第二个 TD 的配置，然后调用第二个 TD。第二个 TD 按应用要求传输数据。完成后，第二个 TD 调用第一个 TD，第一个 TD 再次更新第二个 TD 的配置。该过程可以根据需要重复任意多次。

4.5 中断控制器

借助中断控制器，硬件资源可以独立于主代码正在执行的当前任务，使程序执行流程跳转到新的地址处。该中断控制器具备原来的 8051 中断控制器所不具备的增强功能：

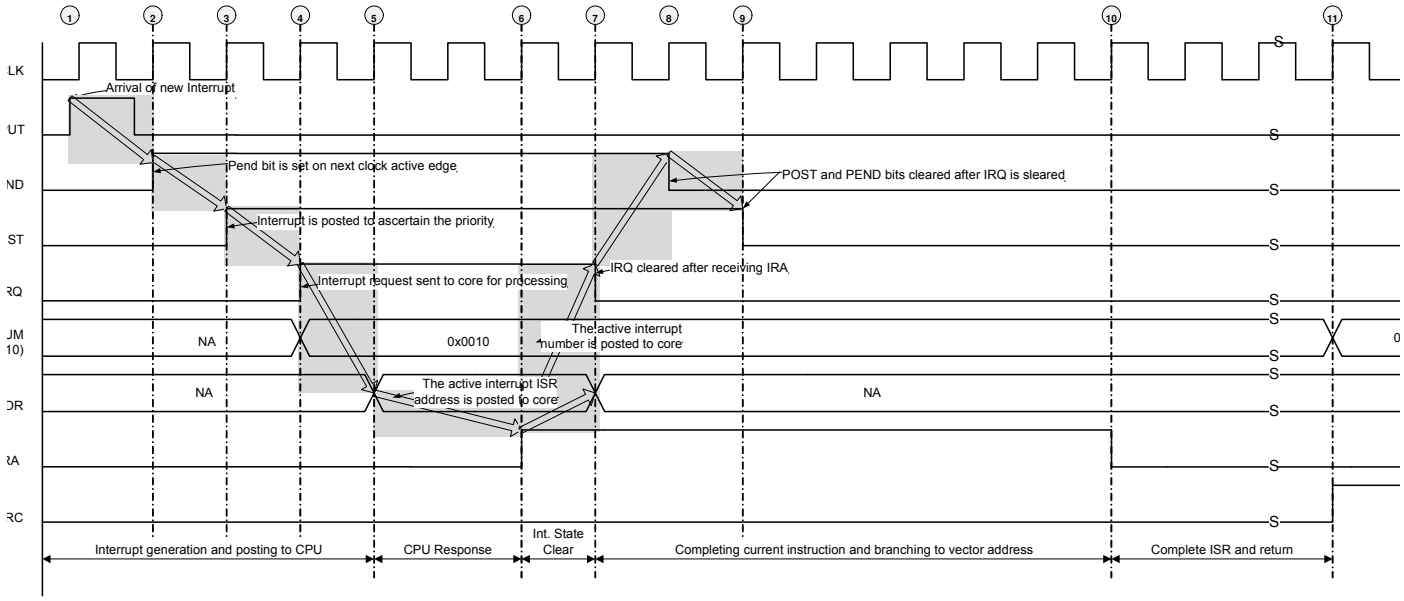
- 32 个中断向量
- 直接跳转到代码空间中具有动态向量地址的 ISR 任意位置
- 每个向量有多个源可供选择
- 灵活中断，以执行向量匹配
- 能够独立使能或禁用每个中断向量
- 可以为每个中断动态指定八个优先级中的其中一个优先级
- 八级嵌套中断
- 多个 I/O 中断向量
- 软件可以发送中断
- 软件可以清除待处理中断

当有待处理中断时，当前指令完成后，程序计数器的内容会被推入到堆栈中。然后，代码执行流程会跳转到向量提供的程序地址处。在 ISR 完成后，会执行 RETI 指令，以便返回到先前被中断指令之后的下一条指令处。为此， RETI 指令会从堆栈中弹出程序计数器的内容。

如果为两个或多个中断指定了相同的优先级别，则首先执行向量编号较低的中断。每个中断向量有三个中断源可供选择，即：固定函数、 DMA 以及 UDB。固定函数中断是直接连接到最常见的中断源，这种连接的资源成本最低。如果使用 DMA 中断源，则直接连接到每个 DMA 通道所提供的两个 DMA 中断源。第三个向量中断源来自 UDB 数字路由阵列。在这种情况下， UDB 阵列可用的任意数字信号都可用作中断源。通过使用 UDB 中断源连接，固定函数中断和所有中断源可以连接至任意中断向量。

第 20 页上的图 4-2 代表中断触发时的典型事件流。第 22 页上的图 4-3 显示了中断结构和优先级轮询。

图 4-2. 中断处理时序图



注意：

1：触发的中断与时钟异步

2：PEND 位将在下一活跃时钟沿进行设置，以指示中断到达

3：POST 位将在 PEND 位之后进行设置

4：中断请求和中断编号将在评估优先级之后发往 CPU 内核 （需要 3 个时钟循环次数）

5：ISR 地址被发送到 CPU 内核用于分支

6：CPU 应答中断请求

7：ISR 被 CPU 读取用于分支

8、 9：从内核收到 IRA 之后， PEND 和 POST 位将分别清除

10：完成当前指令并开始从 ISR 位置执行指令之后清除 IRA 位 （需要 7 个时钟循环次数）

11：设置 IRC 表明 ISR 完成，活跃中断状态被恢复成先前的状态

中断的总延迟 （ISR 执行）

= POST + PEND + IRQ + IRA + 完成当前指令及分支

= 1+1+1+2+7 周期

= 12 个周期

图 4-3. 中断结构

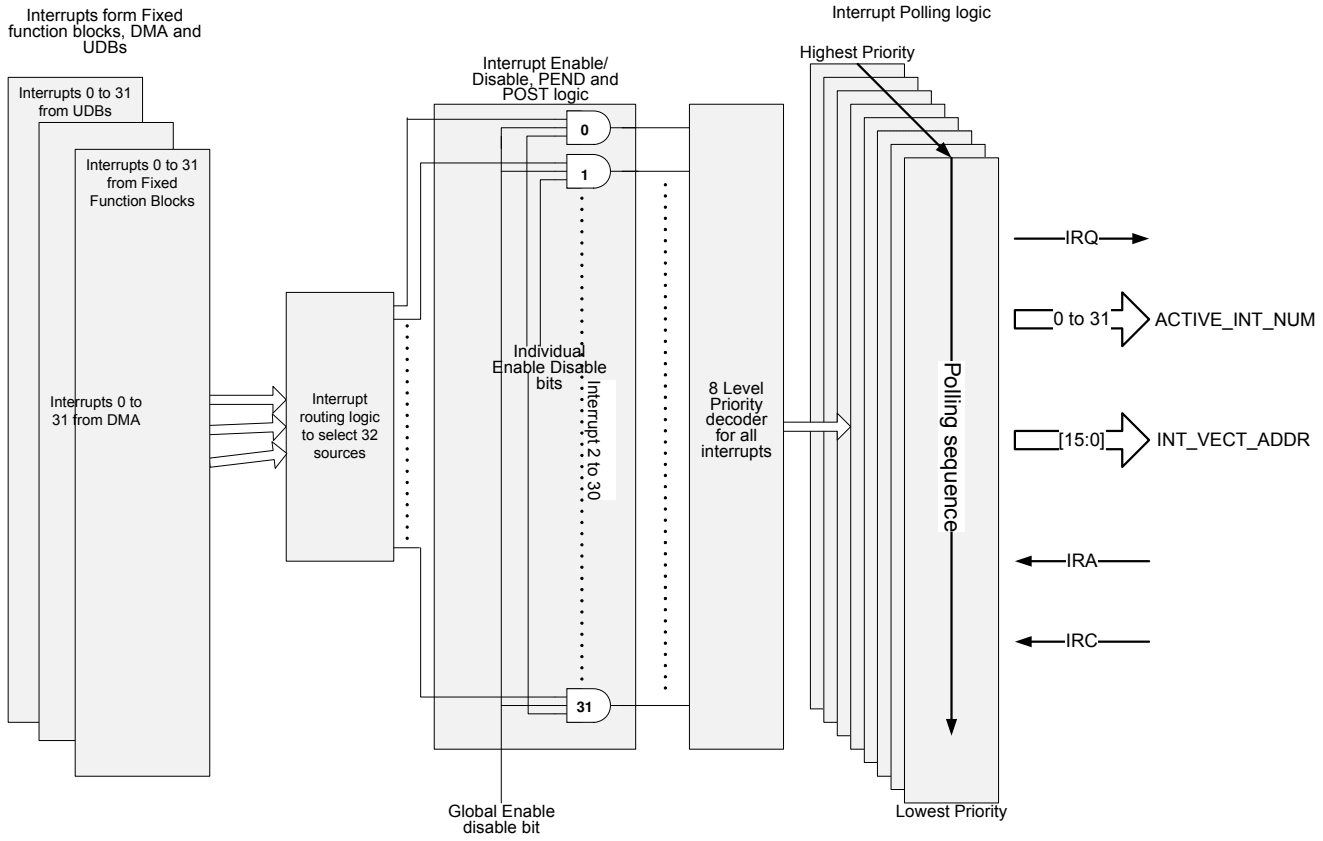

Interrupts form Fixed function blocks, DMA and UDBs
Interrupts 0 to 31 from UDBs
Interrupts 0 to 31 from Fixed Function Blocks
Interrupts 0 to 31 from DMA
Interrupt routing logic to select 32 sources
Interrupt Enable/ Disable, PEND and POST logic
0
1
Individual Enable Disable bits
Interrupt 2 to 30
31
Global Enable disable bit
8 Level Priority decoder for all interrupts
Interrupt Polling logic
Highest Priority
Polling sequence
Lowest Priority
IRQ
0 to 31
ACTIVE_INT_NUM
[15:0]
INT_VECT_ADDR
IRA
IRC

表 4-8. 中断向量表

#	固定功能	DMA	UDB
0	LVD	phub_termout0[0]	udb_intr[0]
1	缓存 /ECC	phub_termout0[1]	udb_intr[1]
2	保留	phub_termout0[2]	udb_intr[2]
3	睡眠（电源管理）	phub_termout0[3]	udb_intr[3]
4	PICU[0]	phub_termout0[4]	udb_intr[4]
5	PICU[1]	phub_termout0[5]	udb_intr[5]
6	PICU[2]	phub_termout0[6]	udb_intr[6]
7	PICU[3]	phub_termout0[7]	udb_intr[7]
8	PICU[4]	phub_termout0[8]	udb_intr[8]
9	PICU[5]	phub_termout0[9]	udb_intr[9]
10	PICU[6]	phub_termout0[10]	udb_intr[10]
11	PICU[12]	phub_termout0[11]	udb_intr[11]
12	PICU[15]	phub_termout0[12]	udb_intr[12]
13	比较器共用	phub_termout0[13]	udb_intr[13]
14	保留	phub_termout0[14]	udb_intr[14]
15	I^2C	phub_termout0[15]	udb_intr[15]
16	保留	phub_termout1[0]	udb_intr[16]
17	定时器 / 计数器 0	phub_termout1[1]	udb_intr[17]
18	定时器 / 计数器 1	phub_termout1[2]	udb_intr[18]
19	定时器 / 计数器 2	phub_termout1[3]	udb_intr[19]
20	定时器 / 计数器 3	phub_termout1[4]	udb_intr[20]
21	USB SOF 中断	phub_termout1[5]	udb_intr[21]
22	USB 仲裁器中断	phub_termout1[6]	udb_intr[22]
23	USB 总线中断	phub_termout1[7]	udb_intr[23]
24	USB 端点 [0]	phub_termout1[8]	udb_intr[24]
25	USB 端点数据	phub_termout1[9]	udb_intr[25]
26	保留	phub_termout1[10]	udb_intr[26]
27	LCD	phub_termout1[11]	udb_intr[27]
28	保留	phub_termout1[12]	udb_intr[28]
29	抽取滤波器中断	phub_termout1[13]	udb_intr[29]
30	PHUB 错误中断	phub_termout1[14]	udb_intr[30]
31	EEPROM 故障中断	phub_termout1[15]	udb_intr[31]

5. 存储器

5.1 静态 RAM

CY8C32 静态 RAM （SRAM）用于临时存储数据。 CY8C38 提供了高达 8 KB 的 SRAM，该 SRAM 能够通过 8051 或 DMA 控制器进行访问。请参见 第 26 页上的存储器映射情况。 8051 和 DMA 控制器可以同时访问 SRAM （前提是访问不同的 4 KB 模块）。

5.2 闪存程序存储器

PSoC 器件中的闪存旨在为用户固件、用户配置数据、批量数据存储和可选 ECC 数据提供非易失性存储空间。主闪存区包含多达 64 KB 的用户程序存储空间。

此外，还有高达 8 KB 的闪存空间用于存储纠错码 （ECC）。如果未使用 ECC，则此空间可以存储器件配置数据和批量用户数据。用户代码可能无法用完 ECC 闪存存储空间。 ECC 能够以固件存储器的每 8 个字节为一个单位，来纠正一位错误并检测两位错误；如果检测到错误，则会生成中断。

CPU 通过缓存控制器读取位于闪存中的指令。这样能够提高指令的执行速度，并且因降低了闪存访问的频率而可以减少系统功耗。缓存包括 8 行，每行包含 64 个字节，总共有 512 个字节。它可以完全与其他组件结合，并自动控制闪存功耗，以及可以被启用或禁用。如果启用 ECC，缓存控制器也会执行错误检查和校正，以及生成中断。

闪存编程通过专用接口来执行，在此期间不允许在闪存之内执行代码。闪存编程接口会执行闪存擦除、编程，并设置代码保护级别。闪存系统内串行编程 （ISSP）通常用于生产编程，可通过 SWD 和 JTAG 接口来实现。系统内编程通常用于 Bootloaders，也可以通过 I^2C、USB、UART、SPI 等串行接口或任何通信协议来实现。

5.3 闪存安全性

所有 PSoC 器件均包括灵活的闪存保护模型，以防止访问和查看片上闪存，从而防止对专有代码进行复制或逆向工程设计。闪存划分为若干个模块，其中每个模块都包含 256 个字节的程序或数据以及 32 个字节的 ECC 或配置数据。64 KB 的闪存器件总共提供多达 256 个模块。

器件允许用户为闪存的每一行指定四个保护级别中的其中一个。表 5-1 列出了可用的保护模式。要更改闪存保护级别，必须擦除整个闪存。完全保护和现场升级保护设置旨在禁用外部访问（例如，通过 PSoC Creator 等调试工具）。如果应用程序需要通过 Bootloader 进行代码更新，请使用现场升级保护设置。仅当应用程序没有任何安全性方面的要求时，才能使用无保护设置。PSoC 器件还提供了一项名为器件安全性的高级安全性功能，该功能能够永久禁用所有测试、编程和调试端口，从而保护您的应用程序不会遭到来自外部的访问 （请参见第 66 页上的器件安全性一节）。有关如何充分利用 PSoC 安全性功能的详细信息，请参见 PSoC 3 TRM。

表 5-1. 闪存保护

保护设置	支持	不支持
无保护	外部读写操作 + 内部读写操作	–
工厂升级	外部写操作 + 内部读写操作	外部读访问
现场升级	内部读写操作	外部读写操作
完全保护	内部读操作	外部读写操作 + 内部写操作

免责声明

请注意以下与赛普拉斯器件上的闪存代码保护功能有关的详细信息。

赛普拉斯产品符合相应的赛普拉斯数据手册中所包含的规范。赛普拉斯坚信，不论如何使用，其产品系列的安全性在目前市场上的同类产品中始终名列前矛。目前可能存在一些赛普拉斯不了解的，能够破坏代码保护功能的方法。据我们所知，任何此类方法都是不正当的，甚至可能是违法的。不只是赛普拉斯，任何其他半导体制造商都无法保证各自代码的安全性。代码保护并非意味着我们保证产品 “ 坚不可摧 ”。

赛普拉斯非常希望能够与关注其代码完整性的客户通力合作。代码保护技术正在不断发展。持续改进产品的代码保护功能是赛普拉斯的不懈追求。

5.4 EEPROM

PSoC EEPROM 存储器是一种按字节寻址的非易失性存储器。CY8C32 提供了高达 2 KB 的 EEPROM 存储器来存储用户数据。对 EEPROM 的读访问是按字节进行的随机访问。读访问直接进行；写访问则通过向 EEPROM 编程接口发送写指令来进行。在 EEPROM 写访问期间，可以继续从闪存执行 CPU 代码。EEPROM 的擦除和写操作是以行为单位进行的。EEPROM 共有 128行，每行有16个字节。所有EEPROM字节出厂默认值均为0。

由于 EEPROM 被映射到 8051 外部数据空间中，所以 CPU 不能对 EEPROM 进行操作。没有任何 ECC 硬件与 EEPROM 相关联。如果需要 ECC，必须在固件中对其进行处理。

写入 EEPROM 或闪存可能需要 20 毫秒的时间。在这个时间内不能复位器件，否则将导致 EEPROM 或闪存的意外更改。复位源（请参见 *节 6.3.1*）包括 XRES 引脚、软件复位以及看门狗；需要确保这些源不被无意激活。另外，低电压检测线路可以配置为生成中断而不是复位。

5.5 非易失性锁存器 （NVL）

PSoC 具有一个 4 字节、用于复位时配置设备的非易失性锁存器 （NVL）阵列。 NVL 寄存器映射如表 5-2 所示。

表 5-2. 器件配置的 NVL 寄存器映射图

寄存器地址	7	6	5	4	3	2	1	0
0x00	PRT3RDM[1:0]		PRT2RDM[1:0]		PRT1RDM[1:0]		PRT0RDM[1:0]	
0x01	PRT12RDM[1:0]		PRT6RDM[1:0]		PRT5RDM[1:0]		PRT4RDM[1:0]	
0x02	XRESMEN	DBGEN					PRT15RDM[1:0]	
0x03	DIG_PHS_DLY[3:0]				ECCEN	DPS[1:0]		

有关各个字段的详细信息及其出厂默认设置如表 5-3 所示。

表 5-3. 字段和出厂默认设置

字段	说明	设置
PRTxRDM[1:0]	用于控制相应 IO 端口的复位驱动模式。请参见第 44 页上的复位配置。端口的所有引脚都设为相同模式。	00b （默认） — 模拟高阻抗 01b — 数字高阻抗 10b — 电阻上拉 11b — 电阻下拉
XRESMEN	用于控制引脚 P1[2] 被用作 GPIO 还是外部复位。有关的 XRES 说明，请参见第 12 页上的引脚说明。	0 （68 引脚、 72 引脚以及 100 引脚器件的默认设置） — GPIO 1 （48 引脚器件的默认设置） — 外部复位
DBGEN	调试使能，允许访问调试系统，用于第三方编程器。	0 — 访问禁止 1 （默认值） — 访问使能
DPS[1:0]	用于控制多个用作调试端口 P1 引脚的使用情况。请参见第 63 页上的编程、调试接口与资源。	00b — 5 线 JTAG 01b （默认） — 4 线 JTAG 10b — SWD 11b — 调试端口被禁用
ECCEN	用于控制 ECC 闪存是用于 ECC 还是用于常规配置和数据存储。请参见第 24 页上的闪存程序存储器。	0 — ECC 禁用 1 （默认） — ECC 使能
DIG_PHS_DLY[3:0]	选择数字时钟相位延迟。	有关详细信息，请参见技术参考手册 （TRM）。

虽然 PSoC Creator 为修改设备配置 NVL 提供了支持，但 NVL 擦 / 写循环的次数仍然有限 — 请参见第 102 页上的非易失性锁存器（NVL）。

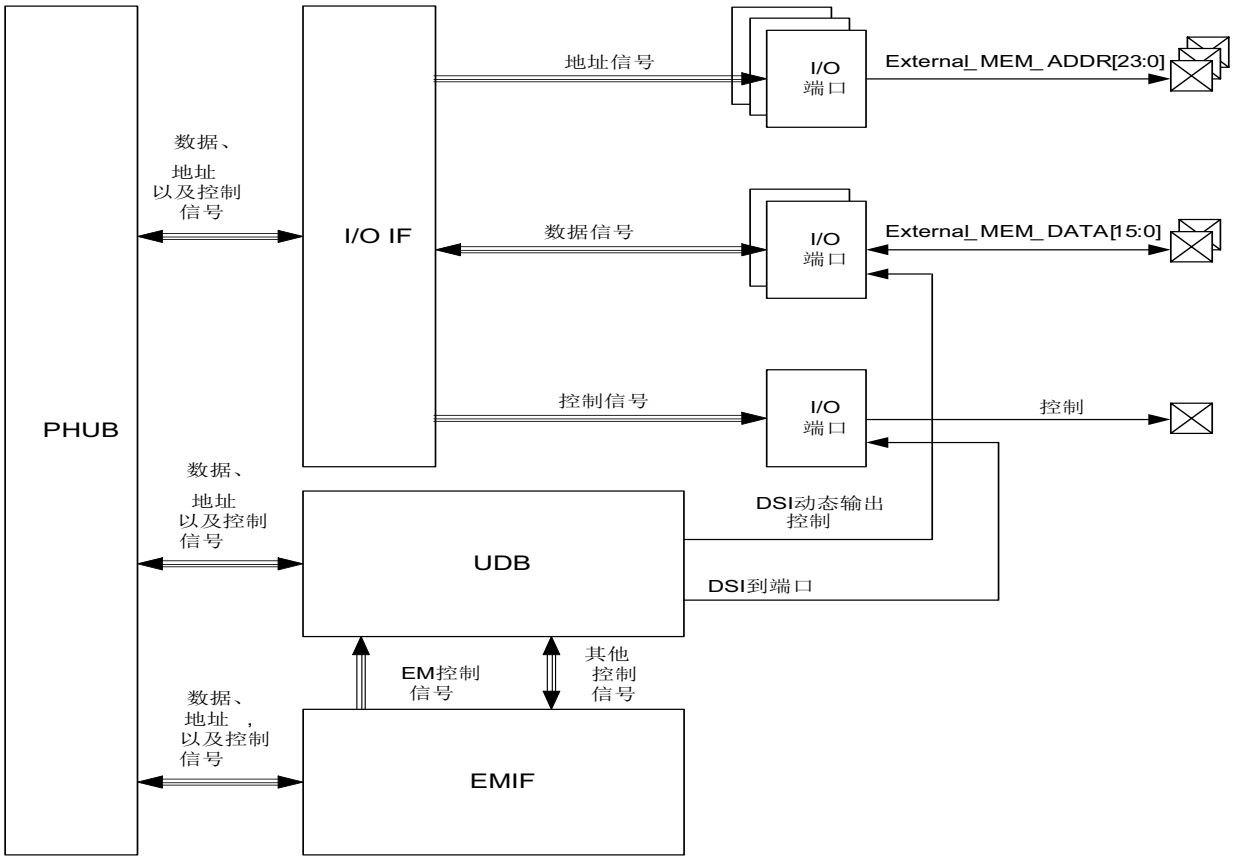
5.6 外部存储器接口

CY8C32 提供了一个外部存储器接口（EMIF），以便连接外部存储器。采用这种连接方式时，可以对外部存储器进行读写访问。EMIF 将与 UDB、I/O 端口以及其他硬件协同工作，以便生成外部存储器地址和控制信号。在频率为 33 MHz 时，每个存储器访问周期将需要四个总线时钟周期。

图 5-1 是 EMIF 框图。EMIF 支持同步和异步存储器。CY8C32 一次仅支持一种类型的外部存储器。

可以通过 8051 外部数据空间来访问外部存储器；可以使用多达 24 个地址位。请参见第 28 页上的外部数据空间一节。该存储器的宽度可以是 8 位或 16 位。

图 5-1. EMIF 框图



5.7 存储器映射情况

CY8C32 8051 存储器映射与 MCS-51 存储器映射非常类似。

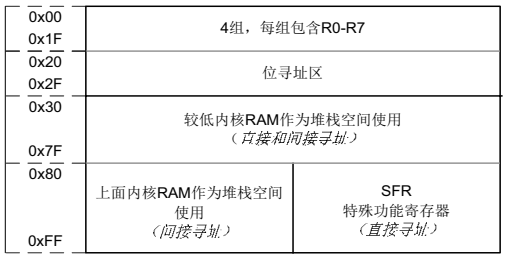
5.7.1 代码空间

CY8C32 8051 代码空间为 64 KB。该空间中仅包含主闪存。请参见第 24 页上的闪存程序存储器一节。

5.7.2 内部数据空间

CY8C32 8051 内部数据空间为 384 个字节，压缩在 256 个字节的空间内。该空间包括 256 个字节的 RAM（除了 第 24 页上的静态 RAM 中所述的 SRAM 之外）和用于特殊功能寄存器（Special Function Register，SFR）的 128 个字节空间。请参见图 5-2。 32 个低位字节用于 4 组寄存器 R0 至 R7。接下来的 16 个字节为按位寻址字节。

图 5-2. 8051 内部数据空间



除了 48 个低位字节采用寄存器或位寻址模式之外，可以采用直接或间接寻址模式访问 128 个低位字节。采用直接寻址模式时，128 个高位字节会映射至 SFR。采用间接寻址模式时，128 个高位字节会映射至 RAM。堆栈操作采用间接寻址模式； 8051 堆栈空间为 256 个字节。请参阅 第 13 页上的寻址模式一节。

5.7.3 SFR

特殊功能寄存器 （SFR）空间可让用户访问频繁访问的寄存器。表 5-4 显示了 SFR 存储器空间的存储器映射。

表 5-4. SFR 映射

地址	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F
0×F8	SFRPRT15DR	SFRPRT15PS	SFRPRT15SEL	–	–	–	–	–
0×F0	B	–	SFRPRT12SEL	–	–	–	–	–
0×E8	SFRPRT12DR	SFRPRT12PS	MXAX	–	–	–	–	–
0×E0	ACC	–	–	–	–	–	–	_
0×D8	SFRPRT6DR	SFRPRT6PS	SFRPRT6SEL	–	–	–	–	–
0×D0	PSW	–	–	–	–	–	–	–
0×C8	SFRPRT5DR	SFRPRT5PS	SFRPRT5SEL	–	–	–	–	–
0×C0	SFRPRT4DR	SFRPRT4PS	SFRPRT4SEL	–	–	–	–	–
0×B8	–	–	–	–	–	–	–	–
0×B0	SFRPRT3DR	SFRPRT3PS	SFRPRT3SEL	–	–	–	–	–
0×A8	IE	–	–	–	–	–	–	–
0×A0	P2AX	–	SFRPRT1SEL	–	–	–	–	–
0×98	SFRPRT2DR	SFRPRT2PS	SFRPRT2SEL	–	–	–	–	–
0×90	SFRPRT1DR	SFRPRT1PS	–	DPX0		DPX1	–	–
0×88	–	SFRPRT0PS	SFRPRT0SEL	–	–	–	–	–
0×80	SFRPRT0DR	SP	DPL0	DPH0	DPL1	DPH1	DPS	–

CY8C32 系列提供了工业标准 8051 器件上使用的一组标准寄存器。此外，CY8C32 器件还添加了 SFR，以便直接访问器件上的 I/O 端口。以下章节对 CY8C32 系列中添加的 SFR 进行了介绍。

5.7.3.1 外部数据空间访问 SFR

8051 内核采用了双 DPTR 寄存器，能够更快地进行数据传输操作。数据指针选择 SFR （即 DPS）用于选择下列指令所使用的数据指针寄存器 （DPTR0 或 DPTR1）：

- MOVX @DPTR、 A
- MOVX A、 @DPTR
- MOVC A、 @A+DPTR
- JMP @A+DPTR
- INC DPTR
- MOV DPTR、 #data16

扩展数据指针 SFR （即 DPX0、DPX1、MXAX 和 P2AX）用于在访问外部数据空间期间，保留存储器地址的高位部分。这些 SFR 仅适用于 MOVX 指令。

在使用 DPTR0/DPTR1 寄存器执行 MOVX 指令期间，地址最高有效字节的内容始终等于 DPX0/DPX1 的内容。

在使用 R0 或 R1 寄存器执行 MOVX 指令期间，地址最高有效字节的内容始终等于 MXAX 的内容，下一个最高有效字节的内容始终等于 P2AX 的内容。

5.7.3.2 I/O 端口 SFR

I/O 端口提供数字输入感应、输出驱动、引脚中断、模拟输入和输出的连接、LCD、通过 DSI 访问外设等功能。有关 I/O 端口的完整信息，请参见 第 38 页上的 I/O 系统与路由。

I/O 端口通过 PHUB 同 CPU 相连，并且还可以通过 SFR 访问。使用 SFR 能够更快地访问部分 I/O 端口寄存器，而使用 PHUB 则能够引导配置并访问所有 I/O 端口寄存器。

支持 SFR 的每个 I/O 端口都提供三个 SFR：

- SFRPRTxDR 用于设置端口的输出数据状态 （其中 x 为端口号，包括端口 0-6、 12 和 15）。
- SFRPRTxSEL 用于选择是由 PHUB PRTxDR 寄存器还是 SFRPRTxDR 控制端口内每个引脚的输出缓冲区。如果某个 SFRPRTxSEL[y] 位为高，则对应的 SFRPRTxDR[y] 位会设置该引脚的输出状态。如果某个 SFRPRTxSEL[y] 位为低，则对应的 PRTxDR[y] 位会设置该引脚的输出状态（其中，y 介于 0 到 7 之间）。
- SFRPRTxPS 是包含端口引脚状态值的只读寄存器。

5.7.4 外部数据空间

8051 外部数据空间为 24 位，大小为 16 MB。该空间的绝大部分都不是 “ 外部 ” 空间，而是供片上组件使用。请参见表 5-5。外部 （即片外）存储器可以使用 EMIF 进行访问。请参见 第 26 页上的外部存储器接口。

表 5-5. XDATA 数据地址映射

地址范围	用途
0×00 0000 – 0×00 1FFF	SRAM
0×00 4000 – 0×00 42FF	时钟、 PLL 和振荡器
0×00 4300 – 0×00 43FF	电源管理
0×00 4400 – 0×00 44FF	中断控制器
0×00 4500 – 0×00 45FF	端口中断控制
0×00 4700 – 0×00 47FF	闪存编程接口
0×00 4800 – 0×00 48FF	缓存控制器
0×00 4900 – 0×00 49FF	I^2C 控制器
0×00 4E00 – 0×00 4EFF	抽取滤波器
0×00 4F00 – 0×00 4FFF	固定定时器 / 计数器 /PWM
0×00 5000 – 0×00 51FF	I/O 端口控制
0×00 5400 – 0×00 54FF	外部存储器接口 （EMIF）控制寄存器
0×00 5800 – 0×00 5FFF	模拟子系统接口
0×00 6000 – 0×00 60FF	USB 控制器
0×00 6400 – 0×00 6FFF	UDB 工作寄存器
0×00 7000 – 0×00 7FFF	PHUB 配置
0×00 8000 – 0×00 8FFF	EEPROM
0×01 0000 – 0×01 FFFF	数字互连配置
0×05 0220 – 0×05 02F0	调试控制器

表 5-5. XDATA 数据地址映射 （续）

地址范围	用途
0×08 0000 – 0×08 1FFF	ECC 闪存字节
0×80 0000 – 0×FF FFFF	外部存储器接口

6. 系统集成

6.1 时钟系统

时钟系统负责整个 PSoC 系统内的时钟生成、分频和分配工作。对于大多数系统，均不需要额外的外部晶振。结合使用 IMO 和 PLL，可以生成高达 50 MHz 的时钟，且在有效工作电压和温度下该时钟的精度为 ±2%。通过使用额外的内部和外部时钟源，可以根据设计需要优化准确度、功耗和成本。所有系统时钟源都可以用于在 16 位时钟分频器和 UDB 中为用户所需的任何部件（例如 UART 波特率生成器）生成其他时钟频率。

时钟生成和分配是根据整个系统的要求，通过 PSoC Creator IDE 图形界面自动配置。这是基于完整的系统要求而定的，能够极大地加快设计进程。利用 PSoC Creator，您只需进行极少的输入，即可构建时钟系统。您可以指定所需的时钟频率和精度，软件将定位或构建符合所需规范的时钟。这得益于 PSoC 固有的可编程性。

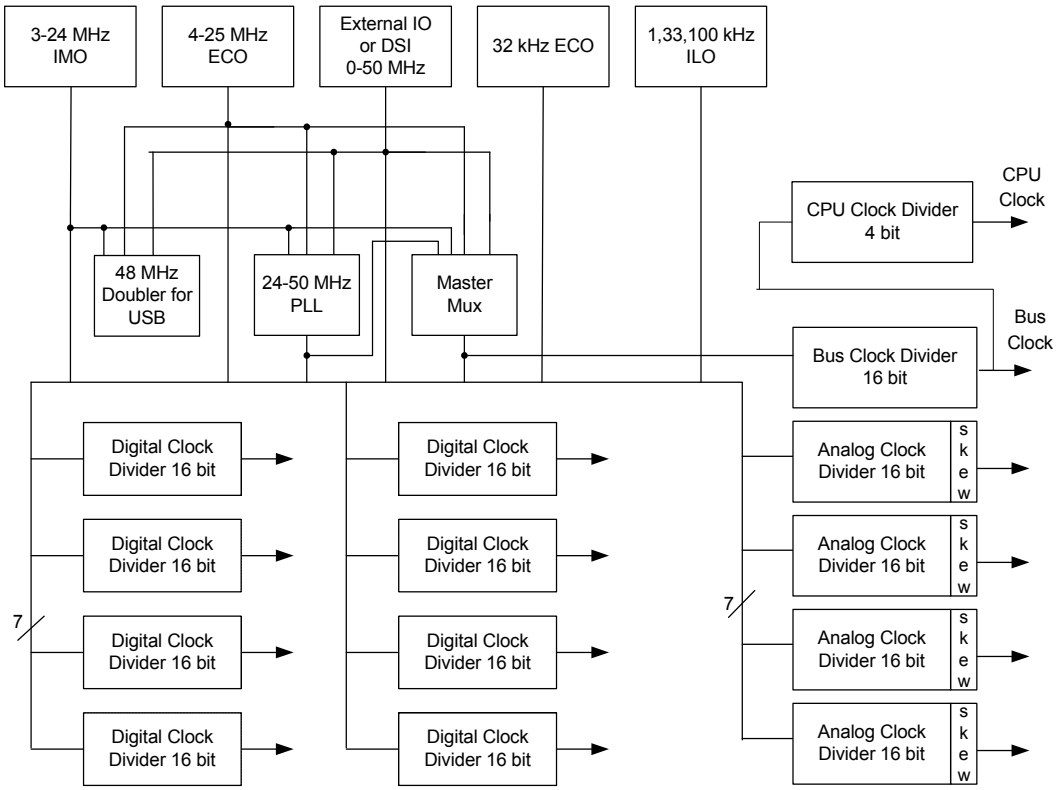
时钟系统的关键特性包括：

- 七个通用时钟源
  - 3 至 24 MHz IMO，频率为 3 MHz 时 ±2%
  - 外部晶振频率为 4 至 25 MHz （MHzECO）
  - 时钟倍频器能够为 USB 模块提供双倍时钟频率输出，请参见 第 31 页上的 USB 时钟域
  - 来自外部 I/O 引脚或其他逻辑的 DSI 信号
  - 源自 IMO、MHzECO 或 DSI 的 24 至 50 MHz 小数分频锁相环
  - 用于看门狗定时器（WDT）和睡眠定时器的 1 kHz、33 kHz、100 kHz ILO
  - 用于实时时钟的 32.768 kHz 外部晶体或晶振 （kHzECO）
- IMO 具有 USB 模式，在该模式下，无需对 USB 使用任何外部晶振，即可自动锁定到 USB 总线时钟（仅限于配备 USB 的器件）
- 所有时钟分频器中的时钟源都是独立的
- 用于数字系统的八个 16 位时钟分频器
- 用于模拟系统的四个 16 位时钟分频器
- 用于总线时钟的专用 16 位分频器
- 用于总线时钟的专用 4 位分频器
- 在 PSoC Creator 中自动进行时钟配置

表 6-1. 振荡器汇总

时钟源	最低频率	最低频率容限	最高频率	最高频率容限	启动时间
IMO	3 MHz	在有效工作电压和温度下精度为 ±2%	24 MHz	±4%	13 µs 最大值
MHzECO	4 MHz	取决于晶振	25 MHz	取决于晶振	典型值 5 ms，最大值取决于晶振
DSI	0 MHz	取决于输入	50 MHz	取决于输入	取决于输入
PLL	24 MHz	取决于输入	50 MHz	取决于输入	最大值 250 µs
倍频器	48 MHz	取决于输入	48 MHz	取决于输入	最大值 1 µs
ILO	1 kHz	–50%、 +100%	100 kHz	–55%、 +100%	最低功耗模式下最大值 15 ms
kHzECO	32 kHz	取决于晶振	32 kHz	取决于晶振	典型值 500 ms，最大值取决于晶振

图 6-1. 时钟子系统



6.1.1 内部振荡器

图 6-1 显示了具有两个内部振荡器。可以直接对这两个内部振荡器进行路由或分频。直接对其进行路由则达不到 50% 的占空比。分频时钟占空比则为 50%。

6.1.1.1 内部主振荡器

由于 IMO 的精度可以达到 ±2%，因此，在大多数设计中，只需要这一个时钟源即可。IMO 工作时不需要任何外部组件，并能够输出稳定的时钟。各频率范围的出厂预设值存储在器件中。使用出厂预设值时，容差介于 ±2% （在 3 MHz 下）到 ±4% （在 24 MHz 下）之间。 IMO 与 PLL 结合使用时，其他时钟生成可达到器件最高频率 （请参见 锁相环）。

IMO 能够提供 3、 6、 12 和 24 MHz 的时钟输出。

6.1.1.2 时钟倍频器

时钟倍频器能够输出频率是输入时钟频率两倍的时钟。倍频器能够处理 24 MHz 的输入频率，且使用 USB 时可达 48 MHz。它可以配置为使用来自 IMO、MHzECO 或 DSI（外部引脚）的时钟。

6.1.1.3 锁相环

借助 PLL，可将低频率、高精度时钟倍增至频率更高的时钟。这是高时钟频率和准确度以及高功耗和较长启动时间之间的博弈。

PLL 模块提供了基于各种输入源生成时钟频率的机制。PLL 输出的时钟频率介于 24 到 50 MHz 之间。其输入和反馈分频器提供了 4032 个离散率，能够生成几乎任何所需的时钟频率。 PLL 输出的准确度取决于 PLL 输入源的准确度。最常见的 PLL 用法是在 3 MHz 下倍增 IMO 时钟，因为在该频率下生成的其他时钟精度最高，并能够达到器件的最大频率。

PLL 能够在 250 µs 内实现相位锁定（通过位设置进行验证）。它可以配置为使用来自 IMO、 MHzECO 或 DSI （外部引脚）的时钟。在锁定完成并发出锁定位信号之前，可以一直使用 PLL 时钟源。锁定信号可通过 DSI 连接，以便生成中断。在进入低功耗模式之前请禁用 PLL。

6.1.1.4 内部低速振荡器

ILO 能够提供可实现低功耗的时钟频率，包括为看门狗定时器和睡眠定时器提供时钟频率。 ILO 能够生成多达三个不同的时钟，即：1 kHz、 33 kHz 和 100 kHz。

1 kHz 时钟（CLK1K）通常用于后台 “ 心跳式 ” 定时器。该时钟旨在进行低功耗监控操作，例如，采用中央时轮 （CTW）的看门狗定时器和长睡眠间隔。

中央时轮是一个以 1 kHz 频率自由运行的 13 位计数器，其时钟由 ILO 提供。除非处于休眠模式或在片上调试模式期间 CPU 处于停止状态，否则中央时轮始终处于使能状态。它可用于生成定期中断以便提供时序，也可用于从低功耗模式唤醒系统。通过固件可以复位中央时轮。需要精确时序的系统应采用实时时钟 RTC 功能，而非中央时轮。

100 kHz 时钟（CLK100K）可作为低功耗主器件时钟。它也可以生成使用快速时轮的时间间隔。

快速时轮是一个 5 位计数器，它的源为 100 kHz 时钟。它的设置是可编程的，当计数结束时将自动复位。每当计数结束时可以生成一个可选中断。从而能够以高于使用中央时轮时所能达到的频率灵活地定期生成 CPU 中断。

33 kHz 时钟 （CLK33K）是对 CLK100K 进行三分频后获得的。该输出可用作低准确度版 32.768 kHz ECO 时钟 （无需使用晶振）。

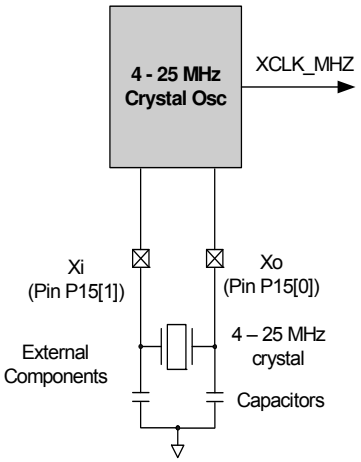
6.1.2 外部振荡器

图 6-1 显示了具有两个外部振荡器。可以直接对这两个内部振荡器进行路由或分频。直接对其进行路由则达不到 50% 的占空比。分频时钟占空比则为 50%。

6.1.2.1 MHz 外部晶振

通过采用外部晶体， MHzECO 能够提供高频率、高准确度时钟（请参见图 6-2）。它支持大量的晶体类型，频率范围介于 4 到 25 MHz 之间。与 PLL 结合使用时，它可以生成达到器件最高频率的其他时钟 （请参见第 30 页上的锁相环一节）。连接到外部晶振和电容的 GPIO 引脚是固定的。MHzECO 的准确度取决于所选择的晶振。

图 6-2. MHz ECO 逻辑框图

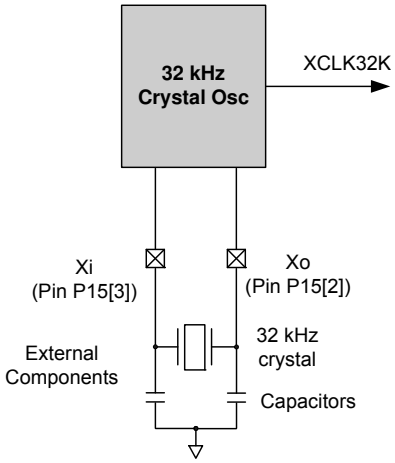


6.1.2.2 32.768 kHz ECO

通过使用外部 32.768 kHz 时钟晶振， 32.768 kHz 外部晶振（32kHz ECO）能够以非常低的功耗提供精确时序 （请参见图 6-3）。 32kHz ECO 还直接连接到睡眠定时器，并为实时时钟提供时钟源。 RTC 通过使用 1 秒中断在固件中实现 RTC 功能。

该振荡器能够采用两种不同的功耗模式。以便用户在功耗和抗周围电路噪声之间进行权衡。连接到外部晶振和电容的 GPIO 引脚是固定的。

图 6-3. 32 kHz ECO 逻辑框图



建议外部 32.768 kHz 时钟晶振的负载电容（CL）为 6 pF 或 12.5 pF。查看晶振制造商的数据手册。两个外部电容器 CL1 和 CL2 通常具有相同值，其总计电容 CL1CL2/（CL1 + CL2）应等于晶振 CL 的值，其中包含引脚和走线电容。更多有关信息，请参见应用笔记 AN54439：PSoC 3 和 PSoC 5 外部振荡器。另请参见第 77 页上的 GPIO 一节中的引脚电容规范。

6.1.2.3 数字系统互连

对于来自与 I/O 相连的外部时钟振荡器的时钟， DSI 能够为其提供路由。这些振荡器也可以在数字系统和通用数字模块内生成。

虽然主要 DSI 时钟输入提供对所有时钟资源的访问，但有多达八个其他 DSI 时钟（在内部或外部生成）可直接路由到八个数字时钟分频器。不过，这需要有多个高准确度时钟源才能实现。

6.1.3 时钟分配

所有七个时钟源都是中央时钟分配系统的输入。分配系统旨在创建多个高准确度时钟。这些时钟是针对设计需求定制的，能够避免在连接到外设的低分辨率预分频器上经常遇到的一些问题。时钟分配系统能够生成多种类型的时钟树。

- 主器件时钟用于选择和提供系统中的最快时钟，以满足一般的时钟要求，并使 PSoC 器件实现时钟同步。
- 总线时钟 16 位分频器采用系统时钟来生成总线时钟，以用于数据传输。总线时钟是 CPU 时钟分频器的源时钟。
- 八个完全可编程的 16 位时钟分频器能够按照设计需求，为数字系统生成通用的数字系统时钟。数字系统时钟可以针对任何用途生成由七个时钟源中的任何一个时钟源派生而来的定制时钟，例如用于波特率生成器、精确的 PWM 周期、定时器时钟等。如果需要八个以上的数字时钟分频器，通用数字模块（Universal Digital Block， UDB）和固定功能定时器 / 计数器 /PWM 也可以生成时钟。
- 有四个 16 位时钟分频器负责为需要时钟的模拟系统组件 （如 ADC）生成时钟。模拟时钟分频器包括时滞 （Skew）控制功能，用于确保关键模拟事件不会与数字切换事件同时发生。其目的是为了减少模拟系统噪声。

每个时钟分频器均包含一个 8 输入复用器、一个 16 位时钟分频器（二分频或更高分频，能够生成占空比约为 50% 的时钟）、主器件时钟重新同步逻辑，以及抗尖峰脉冲逻辑。每个数字时钟树的输出均可路由至数字系统互连，然后再作为输入返回到时钟系统，从而实现高达 32 位的时钟链。

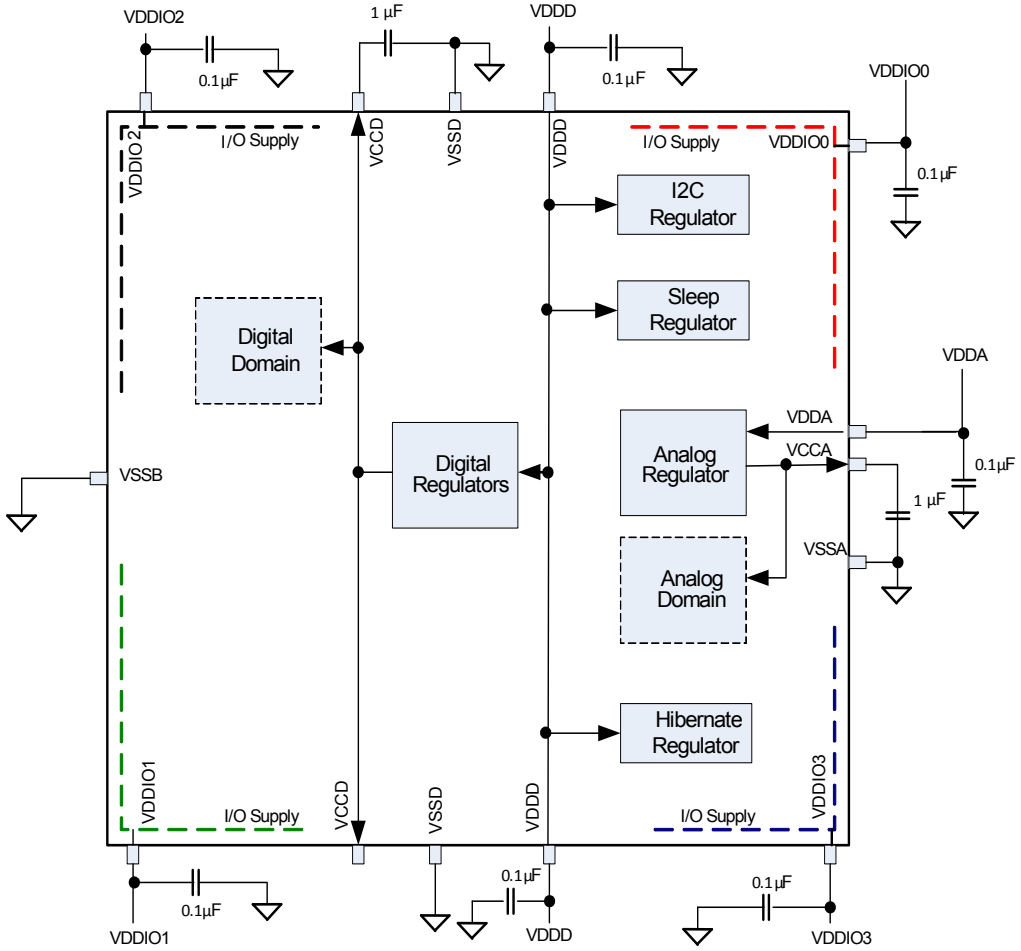
6.1.4 USB 时钟域

USB 时钟域的独特性在于，它在工作时与主时钟网络存在很大程度的异步。USB 逻辑包含连接到芯片的同步总线接口，但会采用异步时钟来运行，以便处理 USB 数据。 USB 逻辑需要 48 MHz 的频率。该频率可以使用不同的时钟源生成，其中包括由内部振荡器、 DSI 信号或晶振生成的 48 MHz （或 24 MHz 的双倍值）的 DSI 时钟。

6.2 供电系统

供电系统包含单独的模拟、数字和 I/O 供电引脚，这些引脚分别标有 VDDA、 VDDD 和 VDDIOX。此外，还包含两个电压为 1.8 V 的内部电压调节器，以便为内部内核逻辑提供数字 （VCCD） 和模拟 （VCCA）电源。电压调节器的输出引脚 （VCCD 和 VCCA）和 VDDIO 引脚必须连接电容，如图 6-4 所示。两个 VCCD 引脚必须连接在一起，引脚之间的线路越短越好，并连接到一个 1 µF ±10% X5R 电容上。供电系统还包含睡眠调压器、 I^2C 调压器和休眠调压器。

图 6-4. PSoC 供电系统



注意：

- 两个 VCCD 引脚必须连接在一起，并且它们之间的线路越短越好。建议在器件下方连接线路，如第 12 页上的图 2-8 所示。
- 查看数据手册要求的旁路电容值是一个好的习惯，特别是工作电压和直流偏置规范。对于一些电容器，如果直流偏置电压 （图 6-4 中的 VDDX 或 VCCX）占额定工作电压的比例比较大，那么实际电容则明显降低。
- 您可以在内部调节模式下供电给器件，其中，VDDx 引脚的电压为 5.5 V，并且内部调节器提供了内核电压。**在该模式下，不要供电给 VCCx 引脚，并且不要将 VDDx 引脚连接至 VCCx 引脚。**
- 您也可以为VCCD和VCCA直接提供电压，从而能够在外部调节模式下供电给器件。在该配置中，VDDD引脚短接VCCD引脚，VDDA引脚短接 VCCA 引脚。该配置中的允许供电电压范围为 1.71 V 至 1.89 V。在该配置中上电后，默认使能内部调节器，因此需要禁用该调节器以便减少功耗。

6.2.1 功耗模式

PSoC 3 器件具有四种不同的功耗模式，如表 6-2 和表 6-3 所示。借助这些功耗模式，设计能够轻松提供所需的功能和处理能力，同时最大限度地减小低功耗便携器件的功耗并提高其电池寿命。

旨在降低功耗的 PSoC 3 功耗模式包括：

- 活动模式
- 备用活动模式
- 睡眠模式
- 休眠模式

活动模式是主要处理模式。其功能是可配置的。通过使用单独的功耗配置样本寄存器，可以使能或禁用每个功耗可控子系统。在备用活动模式模式下，会使能较少的子系统，从而能够降低功耗。在睡眠模式下，无论采用什么样的样本设置，大多数资源都将处于禁用状态。睡眠模式已经过优化，能够提供定时睡眠间隔和实时时钟（RTC）功能。功耗最低的是休眠模式，该模式会保留寄存器和 SRAM 状态，但会关闭时钟，并且只能通过 I/O 引脚唤醒。图 6-5 显示了在各种功耗模式之间允许进行的切换。在所有 VDDIO 电源都处于有效电压电平时，才可进入睡眠和休眠模式。

表 6-2. 功耗模式

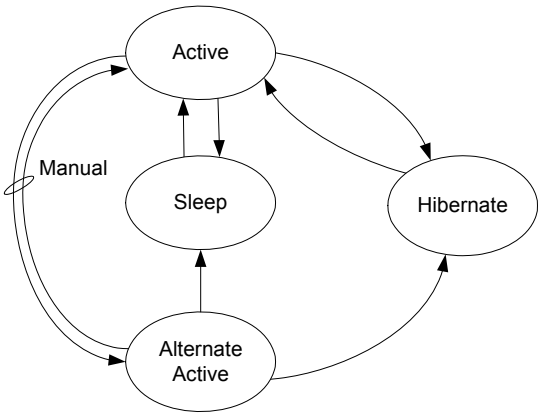
功耗模式	说明	进入条件	唤醒源	活动时钟	电压调节器
活动模式	主要的工作模式，所有外设均可用 （可编程）	唤醒、复位、通过寄存器手动进入	任意中断	任意（可编程）	所有电压调节器均可用。如果采用了外部电压调节，则可以禁用数字和模拟电压调节器。
备用活动模式	与活动模式相似，配置为此模式通常是为了让更少的外设处于活动状态，以便降低功耗。可以如下配置：关闭 CPU，并使用 UDB 进行处理	通过寄存器手动进入	任意中断	任意（可编程）	所有电压调节器均可用。如果采用外部电压调节器，则可以禁用内部数字系统和模拟系统电压调节器。
睡眠模式	会自动禁用所有子系统	通过寄存器手动进入	电压比较器、PICU、 I^2C、RTC、 CTW、LVD	ILO/kHzECO	数字和模拟统电压调节器均处于 BUZZ （活动）状态。如果采用外部电压调节器，则可以禁用数字和模拟电压调节器。
休眠模式	自动禁用所有子系统。 最低功耗模式，所有外设和内部电压调节器均处于禁用状态，仅使能休眠电压调节器。 保持配置和存储器的数据	通过寄存器手动进入	PICU		只有休眠电压调节器处于活动状态。

表 6-3. 功耗模式下唤醒时间和功耗

睡眠模式	唤醒时间	电流（典型值）	代码执行	数字资源	模拟资源	可用时钟源	唤醒源	复位源
活动模式	–	1.2 mA[11]	是	全部	全部	全部	–	全部
备用活动模式	–	–	由用户定义	全部	全部	全部	–	全部
睡眠模式	<15 µs	1 µA	否	I^2C	电压比较器	ILO/kHzECO	电压比较器、PICU、 I^2C、RTC、 CTW、LVD	XRES、LVD、 WDR
休眠模式	<100 µs	200 nA	否	无	无	无	PICU	XRES

注释：
11. 总线时钟关闭。在 6 MHz 频率下从缓存中执行。请参见第 69 页上的表 11-2。

图 6-5. 功耗模式切换



6.2.1.1 活动模式

活动模式是器件的主要工作模式。当处于活动模式时，活动配置样本位将控制使能或禁用哪些可用资源。当有资源处于禁用状态时，系统会关断数字时钟，禁用模拟偏置电流，并相应地减少漏电流。通过在活动配置样本中设置和清除相应的位，用户固件可以动态控制子系统的功耗。CPU 可以自我禁用，在这种情况下，发生下一个唤醒事件时会自动重新使能 CPU。

在发生唤醒事件时，全局模式始终会返回到活动模式，并且会自动使能 CPU，而不管它采用什么样的样本设置。活动模式是引导时的默认全局功耗模式。

6.2.1.2 备用活动模式

备用活动模式与活动模式非常类似。在备用活动模式下，会使能较少的子系统，以便降低功耗。一种可能的配置是：关闭 CPU 和闪存，并使外设全速运行。

6.2.1.3 睡眠模式

如果可以接受 15 µs 的恢复时间，则可以采用睡眠模式来降低功耗。唤醒时间用于确保电压调节器的输出足够稳定，以便直接进入活动模式。

6.2.1.4 休眠模式

在休眠模式下，几乎所有内部功能都将处于禁用状态。内部电压会降至使关键系统保持活动状态所需的最低水平。在休眠模式下，会保留配置状态和 SRAM 存储器的内容。配置为数字输出的 GPIO 将保留其先前的值，并且外部 GPIO 引脚中断设置也将保留。器件处于休眠模式时，只能通过外部 I/O 中断唤醒。从休眠模式恢复的时间小于 100 µs。

为了实现极低的电流，休眠调节器的性能有所限制。输入引脚上的所有信号频率被限制 — 在休眠模式下不会以高于 10 kHz 的速度来切换 GPIO。在低功耗模式下，如果需要使用高速度进行切换，需要选择睡眠模式。

6.2.1.5 唤醒事件

唤醒事件是可以配置的，并且可以来自中断或器件复位。唤醒事件会将系统恢复到活动模式。固件使能的中断源包括内部生成的中断、功耗监控器、中央时轮和 I/O 中断。内部中断源可以来自各种外设，如模拟电压比较器和 UDB。中央时轮会提供定期中断，以便唤醒系统、轮询外设或执行实时功能。复位事件源包括外部复位 I/O 引脚 （XRES）、 WDT 和精密复位 （PRES）。

6.2.2 升压转换器

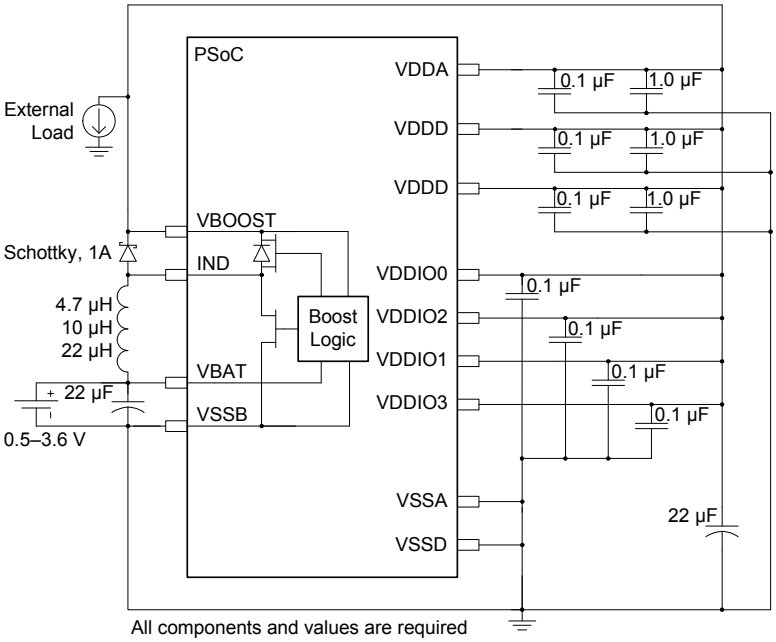
采用 1.71 V 以下供电电压（例如，太阳能供电或单个电池供电）的应用可以使用片上升压转换器，用以生成一个供电电压最小值为 1.8 V。升压转换器还可以用于所需工作电压高于供电电压的任何系统，比如在 3.3 V 系统中驱动 5.0 V LCD 显示屏。通过额外的电感、肖特基二极管以及电容，它可以生成一个可选输出电压，以便提供足够的电流来运行 PSoC 及其他板上组件。

升压转换器可以接受介于0.5 V到3.6 V之间的输入电压（V_{BAT}），可使用低至 0.5 V 的 V_{BAT} 进行启动，并能够提供介于 1.8 到 5.0 V （V_{OUT}）之间、可由用户配置的输出电压，步长为 100 mV。通常 V_{BAT} 小于 V_{OUT}； 如果 V_{BAT} 大于或等于 V_{OUT}，那么 V_{OUT} 会略小于 V_{BAT}（由于升压转换器的电阻损耗）。该模块可以提供最大为 50 mA （I_{BOOST}）的电流，具体大小取决于 PSoC 器件和外部组件的配置情况。设计的灌电流总值（包括 PSoC 器件、PSoC I/O 引脚负载以及外部组件负载的）必须小于 I_{BOOST} 所指定的最大电流值。

有四个与升压转换器相关的引脚，分别为：VBAT、 VSSB、VBOOST 以及 IND。提升后的输出电压通过 VBOOST 引脚输出，并且如果用于为 PSoC 器件供电，则输出电压必须直接连接到芯片的供电输入 （VDDA、 VDDD 和 VDDIO）。

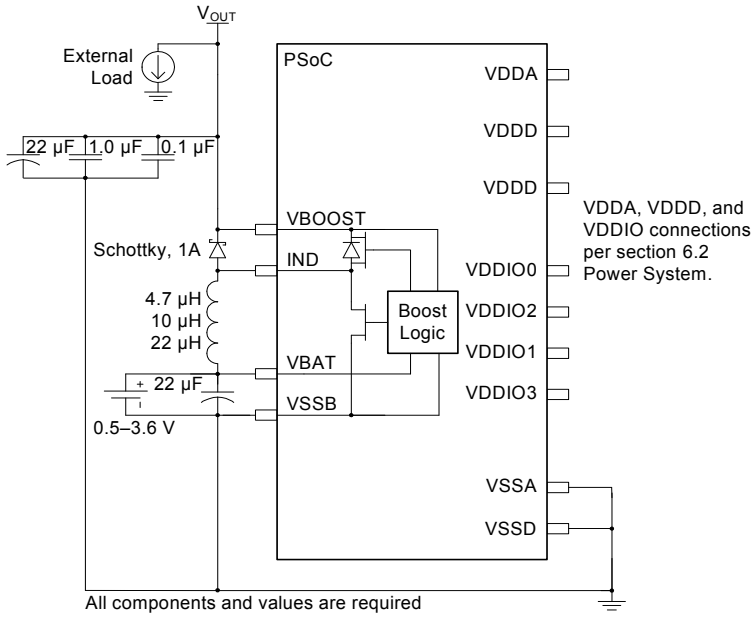
除了非升压设计中所需要的组件外，升压转换器还需要四个组件，即第 35 页上的图 6-6 中所显示的。在 VBAT 引脚附近需要安装一个 22 µF 大小的电容器 （CBAT），对电池电压起缓冲和滤波稳定作用。电池输出与 VBAT 引脚之间不要添加其它器件，例如反向极性保护二极管，因为二极管正向压降会使 V_{BAT} 变小。在 VBAT 和 IND 引脚之间需要连接一个 4.7 µH 或 22 µH 大小的电感。您可以根据输入电压、输出电压、温度以及电流来改变电感大小，从而提高升压转换器的效率。结合本部分介绍的设计指南和电气规范，可以确定电感器的大小。电感器必须连接在离 VBAT 和 IND 引脚 1 cm 的范围内，并使最小饱和电流为 750 mA。在离 IND 和 VBOOST 引脚 1 cm 的范围内连接一个肖特基二极管。该二极管的正向电流额定值最少为 1.0 A，并且反向电压最少为 20 V。将一个 22 µF 大小的电容 （CBOOST）连接在靠近 VBOOST 的地方，以便稳定电压调节器输出。需要确定 VBOOST 引脚上连接的总电容，并确保该值不能超过最大的 CBOOST 规格。所有电容的最小额定值为 10 V，这样能够尽量减少由电压降低所造成的电容损耗。

图 6-6. 为 PSoC 器件供电的升压转换器应用



升压调节器也可以用于为其它的外部器件供电，下图是一个将 1.8 V 的电源升压到 4.0 V 即为该应用的一个示例，从而驱动一个白光 LED。如果升压转换器没有为 PSoC 器件提供 V_{DDA}、V_{DDD} 和 V_{DDIO} 的电源，那么为 PSoC 器件供电时它必须遵守相同的设计规则，但对于输出端的电容有不同的要求。在 Vout 供电电压上必须并联 22 µF、1.0 µF 和 0.1 µF 的电容，并且要将这些电容安装在离 VBOOST 引脚 1 cm 的范围内，以保证调节器的稳定性。

图 6-7. 不给 PSoC 器件供电的升压转换器的应用



使用升压转换器中的振荡器将切换频率设为 400 kHz。升压转换器可以在两种不同模式下工作：即活动模式和待机模式。活动模式是正常工作模式，在该模式下，升压调节器会主动生成稳压输出电压。在待机模式下，大多数升压功能都被禁用，以便降低升压电路的功耗。待机模式下，升压器仅提供最低的输出功耗，通常 < 5 µA，用于在睡眠模式下为 PSoC 器件供电。升压转换器在活动模式下消耗的电流通常为 250 µA，在待机模式下则为 25 µA。升压工作模式必须与芯片功耗模式结合使用，以便最大限度地降低芯片总功耗。表 6-4 列出了在不同芯片功耗模式下可用的升压功耗模式。

表 6-4. 芯片功耗模式与升压功耗模式兼容表

芯片功耗模式	升压功耗模式
芯片活动或备用活动模式	升压转换器必须在活动模式下运行。
芯片睡眠模式	升压转换器既可以在活动模式下运行，也可以在待机模式下运行。在升压待机模式中，芯片必须定期唤醒，以刷新升压活动模式。
芯片休眠模式	升压转换器能在活动模式下运行。不过，因为在升压活动模式下电流消耗非常高，所以不建议在芯片休眠模式下使用升压转换器。

6.2.2.1 升压固件要求

为了确保启动时升压浪涌电流符合规格要求，要在 PSoC Creator IDE 中取消选择**启动期间使能快速 IMO** 选项。在 PSoC Creator 的设计范围资源 （cydwr） **System** 选项卡内可以找到**启动期间使能快速 IMO** 选项。如果未选中该选项会配置器件启动时的运行速度为 12 MHz 而不是默认的 48 MHz。时钟速度越慢，芯片启动时升压电路的电流消耗越少。

6.2.2.2 升压设计流程

升压转换器的外部器件选型需要遵守特定的规范。C_{BAT} 电容器、电感器、肖特基二极管以及 C_{BOOST} 电容的选择都需要遵守规范（第 75 页上的表 11-7）中指定的值。 LBOOST 是唯一的变量组件，选择合适的升压电感不仅可以改善升压转换器的运行状态，还可以提高转换效率。

此外， V_{OUT}、 V_{BAT}、 I_{OUT} 和 T_A 之间还存在特定的限制关系。

要按照以下步骤进行操作以确保升压转换器工作参数和 L_{BOOST} 值。

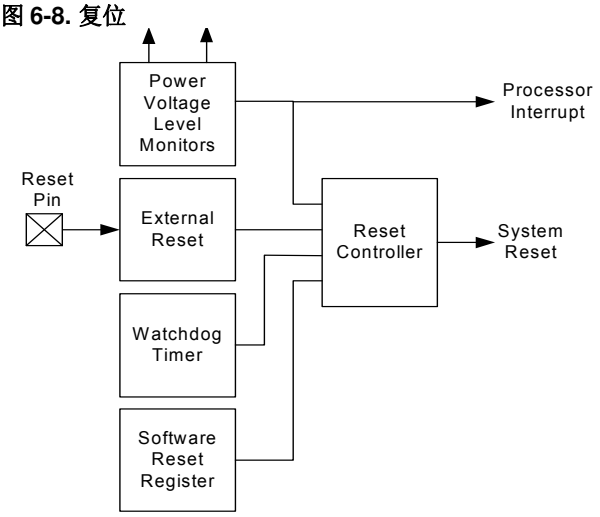
1. 选择应用所需要的 V_{BAT}、V_{OUT}、T_A 以及 I_{OUT} 工作条件范围。
2. 根据 **V_{BAT} 和 V_{OUT}** 图表上 （第 75 页上的图 11-8）的 **T_A** 范围，确定 V_{BAT} 和 V_{OUT} 的范围是否位于升压工作范围内。如果不在工作范围内，需要修改工作条件或使用一个外部升压调节器。
3. 根据 **V_{BAT} 与 V_{OUT}** 图表中 （第 75 页上的图 11-8）的 T_A 范围，确定所需环境温度 （T_A）范围是否位于环境温度工作范围内。如果不在温度范围内，需要修改工作条件，然后返回到第二步或使用一个外部升压调节器。
4. 根据 **$_{BAT}$ 与 V_{OUT}** 图表（第 75 页上的图 11-9）上的 **I_{OUT}**，确定所需输出电流（I_{OUT}）范围是否位于输出电流工作范围内。如果不在输出电流范围内，需要修改工作条件，然后返回到第二步或使用一个外部升压调节器。
5. 根据 **V_{BAT} 与 V_{OUT}** 图表（第 75 页上的图 11-10）上的 **L_{BOOST}** 值，查找所允许的电感值。
6. 根据所允许的电感值、电感器尺寸、电感器成本、升压效率以及 V_{RIPPLE}，选择系统最佳电感值。**效率与 V_{BAT}、V_{RIPPLE} 与 V_{BAT}** 图表（第 76 页上的图 11-11 到第 76 页上的图 11-14）中提供了升压效率和 V_{RIPPLE} 的典型值。通常，如果应用要求效率高且 V_{RIPPLE} 低，那么要采用所允许的最大电感值。如果应用要求电感器的成本低或电感器尺寸小，那么应使用更小的允许电感值。如果应用不适合所允许的电感器效率、V_{RIPPLE}、成本或尺寸，那么应该使用一个外部升压调节器。

6.3 复位

CY8C32 有多个内部和外部复位源可用。其中包括：

- 电源监控 — 在加电、活动模式，以及睡眠模式（间歇性唤醒）期间，在多种不同模式下监控模拟和数字供电电压 VDDA、VDDD、 VCCA 和 VCCD。如有任何电压超出预定范围，则会生成复位。可以对监控器进行编程，以便在到达复位阈值之前，在特定条件下生成处理器中断。
- 外部 — 通过拉低复位引脚 （$\overline{\text{XRES}}$），可以从外部源复位器件。XRES 引脚包含一个上拉到 VDDIO1 的内部电阻。VDDD、VDDA 和 VDDIO1 必须都通电，器件才能退出复位状态。
- 看门狗定时器 — 看门狗定时器负责监控处理器执行指令的情况。如果看门狗定时器在特定时间段内未通过固件复位，则会生成一个复位。
- 软件 — 器件可以在程序控制下复位。

图 6-8. 复位



器件复位一词指处理器以及模拟和数字外设与寄存器都复位。

复位状态寄存器显示了某些复位或供电电压的监控中断。程序可能会检查该寄存器，以检测并报告异常情况。加电复位后，会清空该寄存器。有关详细信息，请参见 《技术参考手册》。

6.3.1 复位源

6.3.1.1 供电电压电平监控器

- IPOR — 初次加电复位

  在初次上电复位时， IPOR 会监控电源电压 VDDD、 VDDA、 VCCD 以及 VCCA。触发电平并不精确。该电平被设为约 1 V，低于指定的最低工作电压，但足以使内部电路复位并保持复位状态。监控器能够生成宽度至少为 150 ns 的复位脉冲。如果有一个或多个电压缓慢上升，生成的脉冲可能会更宽。

  如果 IPOR 触发任一 VDDX 后，电压又降落并低于触发点，那么必须以非单调格式至少在 10 µs 时间内保持这个电压水平。IPOR 触发点的迟滞通常为 100 mV。

  启动后， IPOR 电路被禁用，并且电压监控工作将移交给精密低电压复位 （PRES）电路。

- PRES — 精密低电压复位

  该电路负责在加电后监控模拟系统和数字系统内部电压调节器的输出。电压调节器的输出是相对于精确参考电压的电压。对 PRES 激发的响应与对 IPOR 复位的响应相同。

  禁用 PRES 时，至少 10 µs 后才可重新启用它。

在正常工作模式下，程序无法禁用数字 PRES 电路。可以禁用模拟系统电压调节器，但这会同时禁用 PRES 的模拟部分。在睡眠和休眠模式下， PRES 电路自动被禁用，但是也有例外，即：在睡眠模式下，会定期激活电压调节器 （使其处于活动状态），以便提供监控服务，并缩短唤醒时间。与此同时，PRES 电路也将处于活动状态，以便定期进行电压监控。

- ALVI、DLVI、AHVI — 模拟 / 数字低电压中断，模拟高电压中断

  中断电路可用于检测 VDDA 和 VDDD 超出电压范围的情况。对于 AHVI，VDDA 是相对于某个固定触发电平的电压。对于 ALVI 和 DLVI， VDDA 和 VDDD 是相对于可编程触发电平的电压，如表 6-5 中所列。另外还可以配置 ALVI 和 DLVI，以生成器件复位，而不是生成中断。

表 6-5. 模拟 / 数字低电压中断，模拟高电压中断

中断	供电源	正常电压范围	可用的触发电压设置
DLVI	VDDD	1.71 V – 5.5 V	1.70 V – 5.45 V，步长为 250 mV
ALVI	VDDA	1.71 V – 5.5 V	1.70 V – 5.45 V，步长为 250 mV
AHVI	VDDA	1.71 V – 5.5 V	5.75 V

在 IPOR 之前，监控器将一直处于禁用状态。在睡眠模式下，会定期激活这些电路 （使其处于活动状态）。在活动状态期间如有中断发生，系统会首先进入唤醒过程。然后，系统会识别中断，并可能会处理中断。

Buzz（活动）频率是可调整的，并且需要设置该频率低于任一电压超出允许范围的最短时间。有关如何调整活动频率的信息，请参见 《技术参考手册》。

6.3.1.2 其他复位源

- XRES — 外部复位

  PSoC 3 具有一个被配置为外部复位的 GPIO 引脚或一个专用 XRES 引脚。无论是专用 XRES 引脚还是 GPIO 引脚，配置后，都会使器件处于复位状态，同时保持低电平有效。对 XRES 的响应与对 IPOR 复位的响应相同。

  禁用 XRES 时，至少 10 µs 后才可重新启用它。

  外部复位是低电平有效复位。它包含一个内部上拉电阻。在睡眠模式和休眠模式下， XRES 将处于活动状态。

- SRES — 软件复位

  通过在软件复位寄存器中设置一个位，可以在程序控制下发出复位指令。这可以通过程序直接进行，也可以通过 DMA 访问间接进行。对 SRES 的响应与对 IPOR 复位的响应相同。

  此外还有另外一个寄存器位，用于禁用该功能。

- WRES — 看门狗定时器复位

  看门狗复位会检测何时软件程序不再正常执行。为了向看门狗定时器表明程序当前工作正常，它必须定期复位该定时器。如果在经过用户指定的时间后未复位该定时器，则会生成复位。

  注意：IPOR 会禁用看门狗功能。程序必须通过设置寄存器位，在代码中的某个适当点使能看门狗功能。设置寄存器位后，将无法再将其清除，除非发生 IPOR 加电复位事件。

6.4 I/O 系统与路由

PSoC I/O 具有高度的灵活性。每个 GPIO 都具有模拟和数字 I/O 功能。所有 I/O 都具有多种可在 POR 时设置的驱动模式。PSoC 还通过 VDDIO 引脚提供多达四个 I/O 电压域。

每个器件上都有两种 I/O 引脚；带 USB 的器件则有三种 I/O 引脚。通用 I/O（GPIO）和特殊 I/O（SIO）提供类似的数字功能，主要区别在于模拟能力和驱动强度。带 USB 的器件还提供两个 USBIO 引脚，可支持特定的 USB 功能，以及有限的 GPIO 功能。

所有 I/O 引脚均可作为 CPU 与数字外设的数字输入和输出使用。此外，所有 I/O 引脚均可生成中断。PSoC I/O 具有灵活的高级功能，再加上任意信号均可路由至任意引脚，从而大大简化了电路设计和电路板布局。所有 GPIO 引脚均可用于模拟输入、CapSense 以及 LCD 段驱动，而 SIO 引脚用于超出 VDDA 的电压和可编程输出电压。

- GPIO 和 SIO 均支持的特性：
  - 用户可编程端口复位状态
  - 为多达四组 I/O 提供单独的 I/O 供电和电压
  - 数字外设使用 DSI 连接引脚
  - 用于 CPU 和 DMA 的输入和 / 或输出
  - 八种驱动模式
  - 每个引脚都可以是一个被配置为上升沿和 / 或下降沿的中断源。如有必要，可通过 DSI 支持电平敏感型中断
  - 每个端口都有专用的端口中断向量
  - 受数字输出驱动模式控制的转换速率
  - 基于端口或引脚访问端口控制和配置寄存器
  - 单独的端口读 （PS）和写 （DR）数据寄存器，能够避免发生 “ 读操作修改写操作 ” 错误
  - 基于各个引脚的特殊功能
- 仅在 GPIO 引脚上提供的其他功能：
  - 带 LCD 的器件上的 LCD 段驱动
  - CapSense
  - 模拟输入和输出功能
  - 持续的 100 µA 钳位电流能力
  - 标准驱动强度降至 1.7 V

- 仅在 SIO 引脚上提供的其他功能：
  - 比 GPIO 更高的驱动强度
  - 热插拔功能 （在任意工作 V_{DD} 下容限均为 5 V）
  - 可编程高电平输入阈值，输出驱动电平低至 1.2 V
  - 无模拟输入、 CapSense 或 LCD 功能
  - 过压容限高达 5.5 V
  - SIO 可作为通用模拟电压比较器使用
- USBIO 特性：
  - 符合 USB 2.0 标准的全速 I/O
  - 最大的驱动强度设置可用于一般用途
  - 用于 CPU 和 DMA 的输入和 / 或输出
  - 数字外设的输入和 / 或输出
  - 数字输出 （CMOS）驱动模式
  - 每个引脚都可以是一个被配置为上升沿和 / 或下降沿的中断源

图 6-9. GPIO 框图

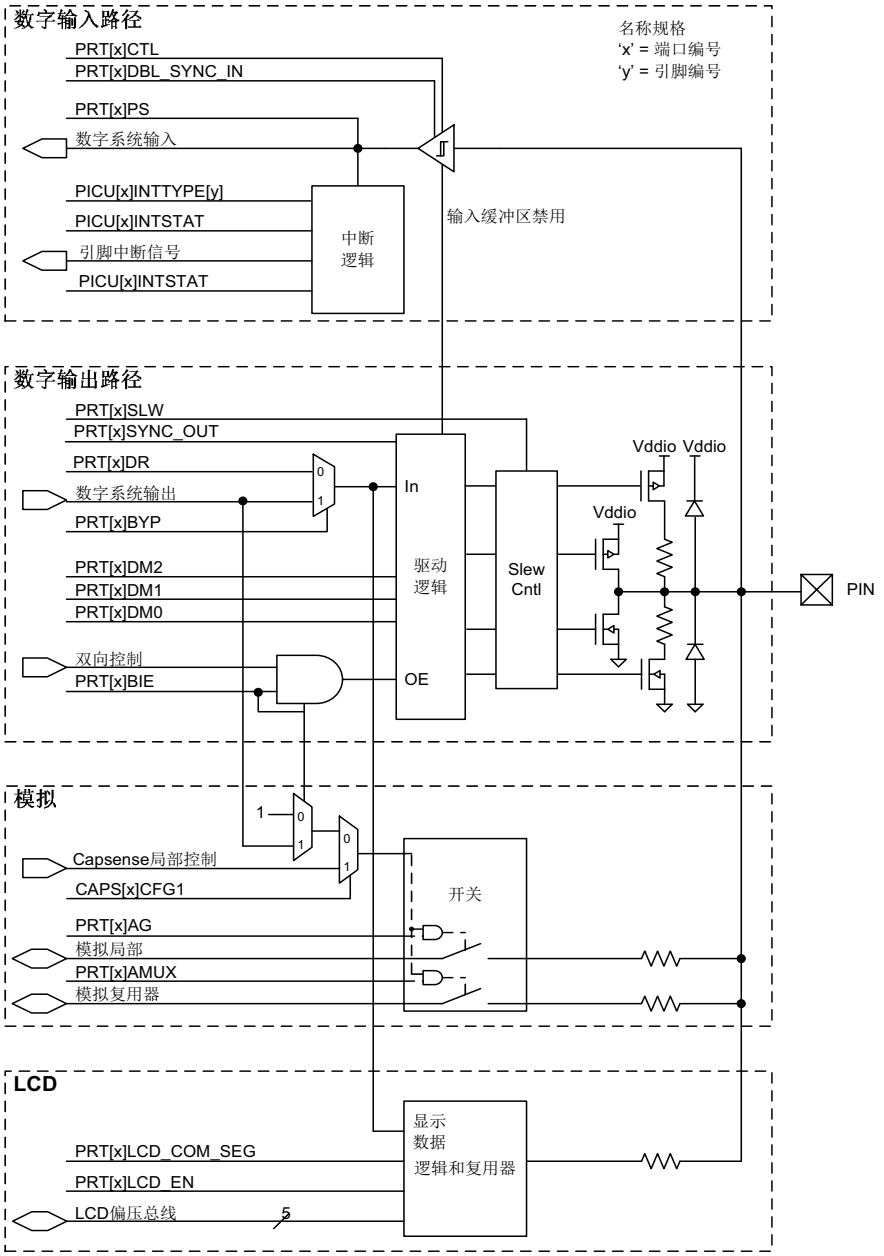


图 6-10. SIO 输入 / 输出框图

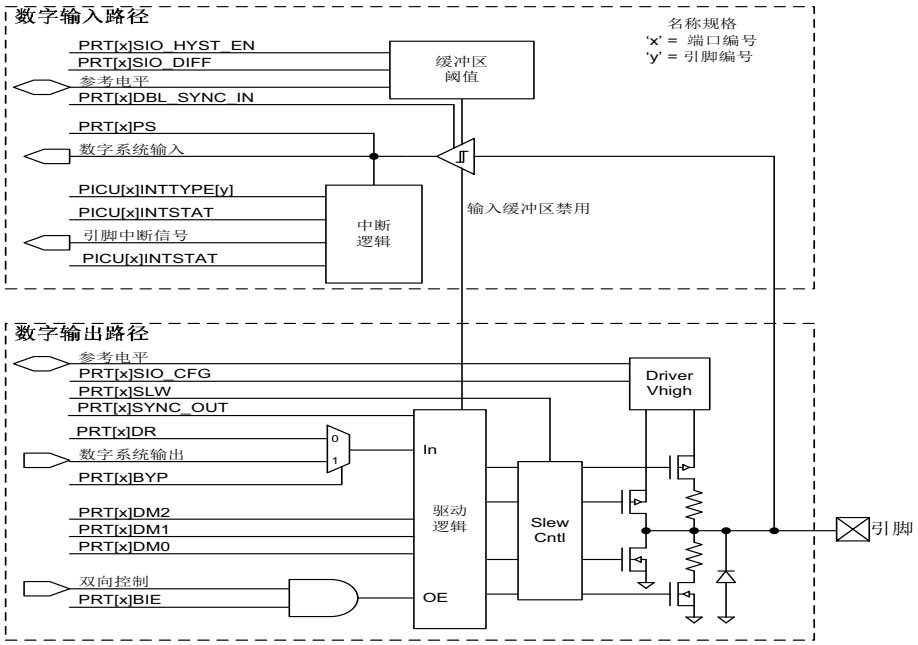
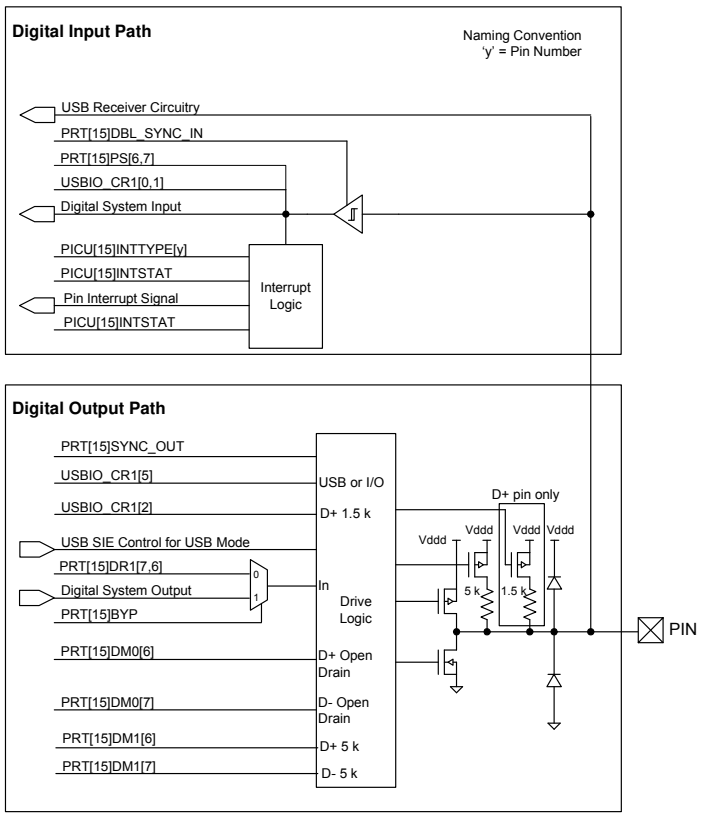


图 6-11. GPIO 框图



6.4.1 驱动模式

每个 GPIO 和 SIO 引脚都可单独配置成表 6-6 中所列的八种驱动模式中的其中一种。三个配置位可用于每个引脚 （DM[2:0]），并在 PRTxDM[2:0] 寄存器中设置。图 6-12 显示了基于每种驱动模式 （共八种）的引脚简图。表 6-6 显示了端口数据寄存器值或数字阵列信号 （如果选择了旁路模式）对应的 I/O 引脚的驱动状态。请注意，实际的 I/O 引脚电压是由所选驱动模式和引脚负载共同决定的。例如，如果某个 GPIO 引脚被配置为电阻上拉模式，并在引脚悬空时被驱动为高电平，则在引脚处测得的电压会处于高电平的逻辑状态。如果同一个 GPIO 引脚在外部接地，则引脚处未经测量的电压会处于低电平的逻辑状态。

图 6-12. 驱动模式

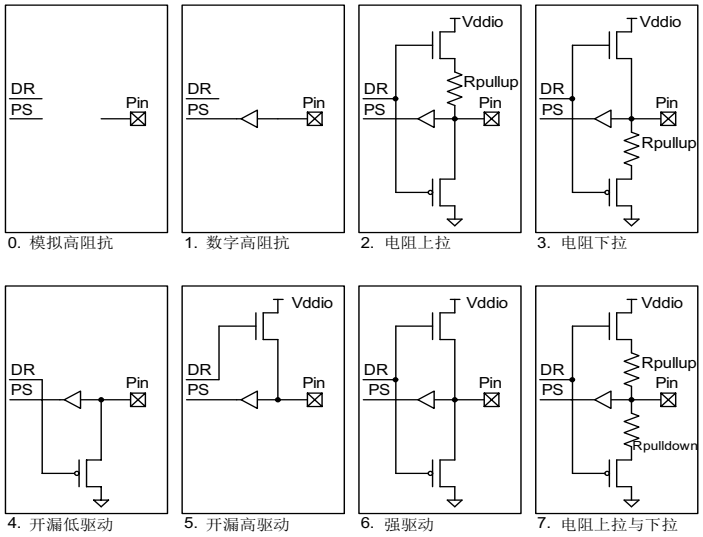


表 6-6. 驱动模式

框图	驱动模式	PRTxDM2	PRTxDM1	PRTxDM0	PRTxDR = 1	PRTxDR = 0
0	模拟高阻抗	0	0	0	高阻态	高阻态
1	数字高阻抗	0	0	1	高阻态	高阻态
2	电阻上拉 [12]	0	1	0	电阻上拉 （5K）	强驱动低
3	电阻下拉 [12]	0	1	1	强驱动高	电阻下拉 （5K）
4	开漏低驱动	1	0	0	高阻态	强驱动低
5	开漏高驱动	1	0	1	强驱动高	高阻态
6	强驱动	1	1	0	强驱动高	强驱动低
7	电阻上拉 / 下拉 [12]	1	1	1	电阻上拉 （5K）	电阻下拉 （5K）

注释：
12. 在稳压输出模式的 SIO 中不能使用电阻上拉和下拉。

当针对 I/O 模式使能了 USBIO 引脚 （P15[7] 和 P15[6]）时，会限制驱动模式控制。使用 PRT15.DM0[7, 6] 寄存器设置驱动模式。也可针对 USBIO 引脚选择电阻上拉选项，可使用 PRT15.DM1[7, 6] 寄存器使能该选项。在 USB 模式下使能了驱动模式控制后，不会对 USB 引脚的配置产生影响。与 GPIO 和 SIO 配置不同，端口宽配置寄存器不配置 USB 驱动模式位。表 6-7 显示 USBIO 引脚的驱动模式配置。

表 6-7. USBIO 驱动模式 （P15[7] 和 P15[6]）

PRT15.DM1[7,6] 上拉电阻被使能	PRT15.DM0[7,6] 驱动模式被使能	PRT15.DR[7,6] = 1	PRT15.DR[7,6] = 0	说明
0	0	高阻态	强驱动低	漏极开路，强驱动低
0	1	强驱动高	强驱动低	强驱动输出
1	0	电阻上拉 （5 K）	强驱动低	电阻上拉，强驱动低
1	1	强驱动高	强驱动低	强驱动输出

- 高阻抗模拟驱动

  在默认的复位状态下，输出驱动器和数字输入缓冲区均被关闭。这可以防止因电压浮动导致任何电流流入到 I/O 的数字输入缓冲区中。对于悬空引脚或支持模拟电压的引脚，建议使用该状态。模拟高阻抗引脚不提供数字输入功能。

  要在睡眠模式下最大限度地降低芯片电流，所有 I/O 都必须被配置为模拟高阻抗模式，或通过 PSoC 器件或外部电路将其引脚驱至供电轨。

- 高阻抗数字驱动

  会针对数字信号输入使能输入缓冲区。这是建议用于数字输入的标准高阻抗 （HiZ）状态。

- 电阻上拉或电阻下拉

  电阻上拉或下拉都是在一种数据状态下提供串联电阻，在另一种数据状态下提供强驱动。在这两种模式下，引脚可用于数字输入和输出。这两种模式的一个常见应用是连接机械开关。在稳压输出模式的 SIO 中不能使用电阻上拉和下拉。

- 开漏驱高 （Open Drain， Drives High）和开漏驱低 （Open Drain， Drives Low）

  开漏模式是在一种数据状态下提供高阻抗，在另一种数据状态下提供强驱动。在这两种模式下，引脚可用于数字输入和输出。这两种模式的一个常见应用是驱动 I^2C 总线信号线。

- 强驱动

  无论是在高状态还是低状态，均提供强 CMOS 输出驱动。这是引脚的标准输出模式。一般情况下，采用强驱动模式的引脚不能用作输入。这种模式通常用于驱动数字输出信号或外部 FET。

- 电阻上拉和下拉

  与电阻上拉模式和电阻下拉模式类似，只不过引脚始终与电阻串联。在高数据状态下是上拉，而在低数据状态下是下拉。当其他可能会导致短路的信号可以驱动总线时，通常会采用该模式。在稳压输出模式的 SIO 中不能使用电阻上拉和下拉。

6.4.2 引脚寄存器

用于配置引脚并与引脚交互的寄存器有两种形式，并可以互换使用。

所有 I/O 寄存器均可采用标准端口形式，即寄存器的每个位对应于一个端口引脚。这种寄存器形式能够快速有效地同时重新配置多个端口引脚。

I/O 寄存器也可以采用引脚形式，即针对每个引脚，将八个最常用的端口寄存器位合并到单个寄存器中，以便通过单次寄存器写操作来快速更改各个引脚的配置。

6.4.3 双向模式

借助高速双向功能，引脚可以根据辅助控制总线信号的状态，为输入信号提供高阻抗数字驱动模式，并为同一引脚上的输出信号提供用户选择的另一种驱动模式，例如强驱动（使用 PRT×DM[2:0] 寄存器进行设置）。对于需要对输出缓冲区进行动态硬件控制的处理器总线和通信接口，例如 SPI Slave MISO 引脚，双向功能非常有用。

辅助控制总线能够将多达 16 个由 UDB 或数字外设生成的输出使能信号连接至一个或多个引脚。

6.4.4 转换速率受限模式

GPIO 和 SIO 引脚针对强驱动和开漏驱动模式提供了快速输出转换速率和慢速输出转换速率选项 （不适用于电阻驱动模式）。由于慢速转换速率选项会降低 EMI，因此建议对速度不是很关键（通常小于 1 MHz）的信号使用该选项。快速转换速率适用于频率介于 1 MHz 到 33 MHz 之间的信号。转换速率可以针对每个引脚单独配置，并通过 PRT×SLW 寄存器进行设置。

6.4.5 引脚中断

所有 GPIO 和 SIO 引脚都能生成系统中断。每个端口接口上的所有八个引脚均连接到其各自的端口中断控制单元（PICU）及关联的中断向量。端口的每个引脚都可单独配置，以检测上升沿和 / 或下降沿中断，或不生成中断。

根据为每个引脚配置的模式，每次引脚上发生中断事件时，中断状态寄存器中对应的状态位都会被设为 “1”，并且系统会向中断控制器发送中断请求。每个 PICU 在中断控制器和引脚状态寄存器中都有各自的中断向量，以便轻松确定中断源、引脚电平等。

在所有睡眠模式下，端口引脚中断均保持活动状态，以便通过由外部生成的中断唤醒 PSoC 器件。

尽管不直接支持电平敏感型中断，但在需要时，可以通过通用数字模块（UDB）为系统提供该功能。

6.4.6 输入缓冲区模式

可以针对默认的 CMOS 输入阈值或可选的 LVTTL 输入阈值在端口级别配置 GPIO 和 SIO 输入缓冲区。所有输入缓冲区都能够与施密特触发器一起实现输入迟滞。此外，在任何驱动模式下，均可禁用各个引脚输入缓冲区。

6.4.7 I/O 供电电源

可以提供多达四个 I/O 引脚供电电源，具体取决于器件和封装。每个 I/O 供电电源必须小于或等于芯片模拟（VDDA）引脚的电压。利用该功能，用户可以为器件上的不同引脚提供不同的 I/O 电压电平。要确定给定端口和引脚的 VDDIO 功能，请参见具体的器件封装引脚分布图。

SIO 端口引脚支持其他 “ 稳压高输出 ” 功能，如可调输出电平中所述。

6.4.8 模拟连接

这些连接仅适用于 GPIO 引脚。所有 GPIO 引脚都可以作为模拟输入或输出使用。引脚上的模拟电压不能超过 GPIO 对应的 VDDIO 供电电压。每个 GPIO 都可连接到其中一条模拟全局总线或模拟复用器总线，以便将任意引脚连接到任意内部模拟资源，例如 ADC 或电压比较器。此外，有一个特定引脚能够直接连接到大电流 DAC。

6.4.9 CapSense

本部分内容仅适用于 GPIO 引脚。所有通用 I/O 引脚均可用于创建 CapSense 按键和滑动条。有关详细信息，请参见第 61 页上的 CapSense 一节。

6.4.10 段式 LCD 驱动

本部分内容仅适用于 GPIO 引脚。所有 GPIO 引脚均可用于生成段驱动和共模驱动信号，以便直接驱动 LCD 显示屏。有关详细信息，请参考第 61 页上的 LCD 直接驱动器一节中介绍的内容。

6.4.11 可调输出电平

本部分内容仅适用于 SIO 引脚。 SIO 端口引脚支持为电压低于 SIO 对应 VDDIO 的外部信号接口提供稳压的高电平输出。根据内部生成的参考电压，各个 SIO 引脚可单独配置为标准 VDDIO 电平或稳压输出。通常会使用电压 DAC （VDAC）来生成参考电压（请参见图 6-13）。第 62 页上的 DAC 一节详细介绍了 VDAC 的用法以及如何将参考电压路由至 SIO 引脚。电阻上拉和下拉驱动模式不适用于稳压输出模式下的 SIO。

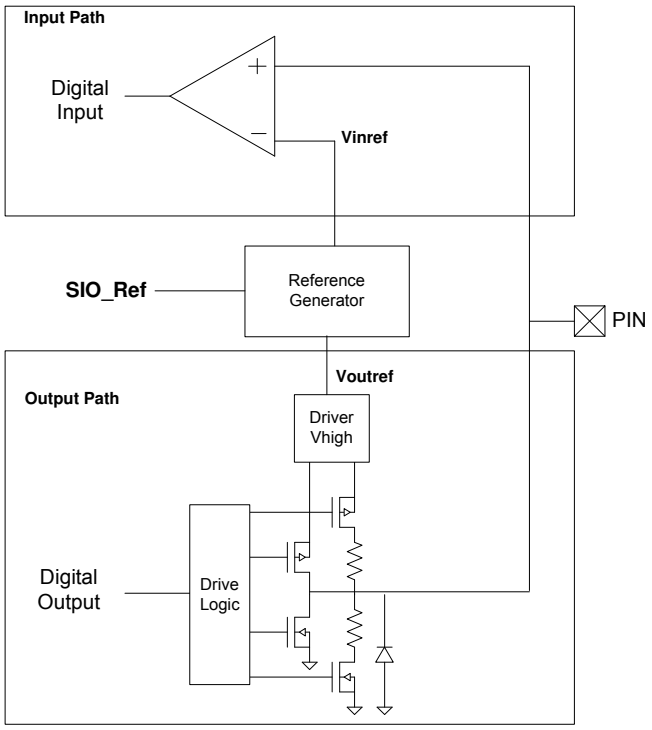
6.4.12 可调输入电平

本部分内容仅适用于 SIO 引脚。默认情况下，SIO 引脚不仅支持标准 CMOS 和 LVTTL 输入电平，而且还支持采用可编程电平的差分模式。SIO 引脚按对分组。每对引脚共享一个参考电压发生器模块，该模块用于为电压与 VDDIO 不同的外部信号接口设置数字输入缓冲区参考电平。参考电压会用来设置高逻辑电平的引脚电压阈值（请参见图 6-13）。可用的输入阈值包括：

- 0.5 × VDDIO
- 0.4 × VDDIO
- 0.5 × VREF
- VREF

通常会使用电压 DAC （VDAC）来生成 V_{REF} 参考电压。第 62 页上的 DAC 一节详细介绍了 VDAC 的用法以及如何将参考电压路由至 SIO 引脚。

图 6-13. 输入和输出的 SIO 参考



6.4.13 SIO 作为电压比较器

本部分内容仅适用于 SIO 引脚。如可调输入电平一节所述，可以使用 SIO 的可调输入电平功能来构建电压比较器。电压比较器的阈值由 SIO 的参考电平发生器提供。参考电平发生器包含一个选项，用于将通过模拟全局总线连接的模拟信号设为电压比较器阈值。请注意，一对 SIO 引脚共享同一个阈值。

第 40 页上的图 6-10 中的数字输入路径说明了该功能。在该图中，‘ 参考电平 ’ 是通过模拟全局总线路由过来的模拟信号。还可以为 SIO 的输入缓冲区使能迟滞功能，以便增强电压比较器的抗噪能力。

6.4.14 热插拔

本部分内容仅适用于 SIO 引脚。 SIO 引脚支持 “ 热插拔 ” 功能，无需加载连接到 SIO 引脚的信号即可插入到应用中，即便在 PSoC 器件未通电时亦是如此。这样一来，未通电的 PSoC 就可以保持对外部器件的高阻抗负载，同时防止 PSoC 被通过 SIO 引脚的保护二极管的电流加电。

与正在运行的 I^2C 总线相连时，给该器件供电或断电会导致 SIO 引脚上的瞬变状态。 I^2C 总线的整体设计应该考虑这一点。

6.4.15 过压容限

所有 I/O 引脚在任意工作 VDD 下都能够提供过压容差功能。

- SIO 引脚没有电流限制，因为对于外部电路它们存在一个高阻抗的负载，其中 VDDIO < VIN ≤ 5.5 V。
- GPIO 引脚电流必须使用限流电阻限制为 100 µA。GPIO 引脚会钳制引脚电压约为 “Vddio 加上一个二极管电压 ”，其中 VDDIO < VIN < VDDA。
- 如果 GPIO 引脚被配置为用于模拟输入 / 输出，则引脚上的模拟电压不得超过 GPIO 对应的 VDDIO 供电电压。

该功能的一个常见应用是连接到 I^2C 等总线，其中不同的器件在不同的供电电压下运行。连接到 I^2C 时，会针对 SIO 引脚将 PSoC 芯片配置为开漏驱动低电平模式。这样就可以通过外部上拉电阻将 I^2C 总线电压拉到 PSoC 引脚供电电压以上。例如， PSoC 芯片可以在 1.8 V 下运行，外部器件可以在 5 V 下运行。请注意，SIO 引脚的 V_{IH} 和 V_{IL} 电平由关联的 V_{DDIO} 供电引脚决定。

SIO 引脚必须处于下列模式之一：0 （模拟高阻抗）、 1 （数字高阻抗）或 4（开漏驱动低电平）。有关详细信息，请参考图 6-12 中介绍的内容。必须针对所有 I/O 引脚监控器件的最大绝对额定值。

6.4.16 复位配置

当复位有效时，所有 I/O 都会复位并保持在模拟高阻抗状态下。复位释放之后，可根据各个端口将状态重新编程为下拉或上拉。为了确保正确的复位操作，端口复位配置数据会存储在专用的非易失性寄存器中。复位释放后，存储的复位数据会自动传输到端口复位配置寄存器。

6.4.17 低功耗功能

在所有低功耗模式下， I/O 引脚都会保持其状态，直到器件被唤醒并被更改或复位为止。要唤醒器件，请使用引脚中断，因为在所有低功耗模式下，端口中断逻辑会继续发挥作用。

6.4.18 特殊引脚功能

器件上的某些引脚除了具有 GPIO 或 SIO 功能以外，还具有其他特殊功能。第 6 页上的引脚布局中列出了具体的特殊功能引脚。这些特殊功能包括：

- 数字
  - 4 至 25 MHz 晶振
  - 32.768 kHz 晶振
  - I^2C 地址匹配时从睡眠模式唤醒。如果不需要从睡眠模式唤醒，则任意引脚都可用于 I^2C。
  - JTAG 接口引脚
  - SWD 接口引脚
  - SWV 接口引脚
  - 外部复位
- 模拟
  - 大电流 IDAC 输出
  - 外部参考输入

6.4.19 JTAG 边界扫描

器件支持所有 I/O 引脚上的标准 JTAG 边界扫描链，以便进行板级测试。

7. 数字子系统

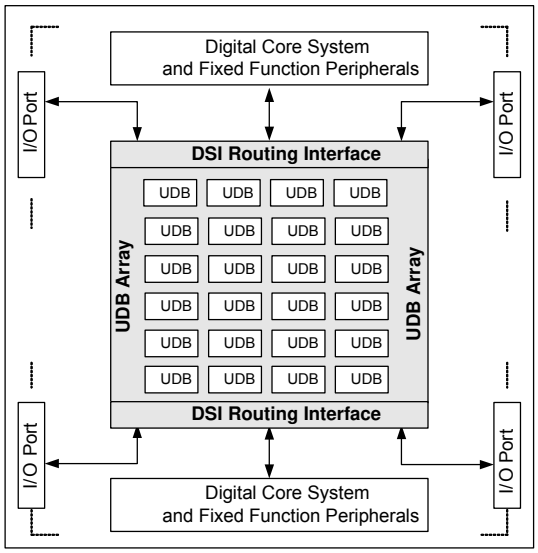
可编程数字系统能够针对具体的应用创建标准数字外设、高级数字外设的组合，并创建定制逻辑功能。然后，这些外设和逻辑将互连，并与器件上的任意引脚相连，从而提供高度的设计灵活性和 IP 安全性。

下面列出了可编程数字系统的功能，以便用户对这些功能和架构有一个大概的了解。设计人员不需要通过硬件和寄存器级别同可编程数字系统直接交互。PSoC Creator 提供了一个与 PLD 类似的高级电路图输入图形界面，以便自动放置和连接资源。

可编程数字系统的主要组件包括：

- 通用数字模块 （UDB） — 这些模块构成了可编程数字系统的核心功能。 UDB 是未赋定逻辑 （PLD）和结构化逻辑 （数据路径）的组合，已经过优化，能够针对具体的应用或设计创建所有常用嵌入式外设和定制功能。
- 通用数字模块阵列 — UDB 模块排列在一个可编程互连矩阵内。UDB 阵列结构具有一致性，有助于将数字功能灵活地映射到阵列上。该阵列支持在UDB 与数字系统互连之间进行广泛而灵活的布线互连。
- 数字系统互连 （DSI）— 来自通用数字模块 （UDB）、固定功能外设、I/O 引脚、中断和 DMA 的信号以及其他系统内核信号会连接到数字系统互连，以实现全功能器件连通性。与通用数字模块阵列（Universal Digital Block Array）结合使用时，DSI 允许将任意数字功能路由至任意引脚或其他组件。

图 7-1. CY8C32 可编程数字架构



7.1 外设示例

CY8C32 系列的通用数字模块（UDB）和模拟模块具有高度的灵活性，可让用户创建众多组件 （外设）。赛普拉斯开发了一些最常用的外设，具体请参考 PSoC Creator 组件目录。此外，用户还可以使用 PSoC Creator 创建自己的定制组件。利用 PSoC Creator，用户还可以创建自己的组件，以便在其组织内重复使用，例如传感器接口、专有算法，以及显示界面。

PSoC Creator提供了大量的组件，我们无法在数据手册中一一列出，而且这些组件的数量还在不断增加。例如，可用于 CY8C32 系列但未在本数据手册中提到的 UART 组件。

7.1.1 数字组件示例

以下是 PSoC Creator 中可用于 CY8C32 系列的一个数字组件示例。组件使用的硬件资源 （UDB、路由、 RAM、闪存）的确切数量会有所不同，具体取决于在 PSoC Creator 中为组件选择的功能。

- 通信
  - I^2C
  - UART
  - SPI
- 功能
  - EMIF
  - PWM
  - 定时器
  - 计数器
- 逻辑
  - NOT
  - OR
  - XOR
  - AND

7.1.2 模拟组件示例

以下是 PSoC Creator 中可用于 CY8C32 系列的一个模拟组件示例。组件使用的硬件资源（路由、RAM、闪存）的确切数量会有所不同，具体取决于在 PSoC Creator 中为组件选择的功能。

- ADC
  - Delta-Sigma
- DAC
  - 电流
  - 电压
  - PWM
- 电压比较器

7.1.3 系统功能组件示例

以下是 PSoC Creator 中可用于 CY8C32 系列的一个系统功能组件示例。组件使用的硬件资源 （UDB、路由、 RAM、闪存）的确切数量会有所不同，具体取决于在 PSoC Creator 中为组件选择的功能。

- CapSense
- LCD 驱动
- LCD 控制

7.1.4 使用 PSoC Creator 进行设计

7.1.4.1 优于典型 IDE

一个成功的设计工具应该能够快速进行开发，并能够展开简单和复杂的设计。缩短甚至省掉学习过程。并使新设计直接融入到生产流程中。

PSoC Creator 就是这样的设计工具。

PSoC Creator 是一个功能齐全的集成开发环境（IDE），可用于硬件和软件的设计。该工具已针对 PSoC 器件进行优化，并将功能强大的新型软件开发平台与先进的图形化设计工具结合在一起。这种独特的工具组合使得 PSoC Creator 成为目前灵活性最高的嵌入式设计平台。

图形化设计输入有助于简化特定器件的配置。您可以从内容丰富的组件目录中选择所需的功能，并将其放入到自己的设计中。所有组件都实现了参数化，并具有编辑器对话框，您可以根据自己的需求来定制功能。

PSoC Creator 会自动配置时钟，并将 I/O 连接至选定的引脚，随后生成 API，以便应用程序能够对硬件进行全面控制。要更改 PSoC 器件配置，只需添加一个新组件，设置其参数并重建项目即可。

在开发过程的任何阶段，您都可以自由更改硬件配置乃至目标处理器。要将应用（硬件和软件）重新定位到新器件（即使是从 8 位系列到 32 位系列），只需选择新器件并重建即可。

您还可以更改 C 编译器并评估备选方案。组件具有高度的便携性，并针对所有系列的所有器件以及支持的所有工具链进行了验证。要切换编译器，只需编辑项目选项，并使用生成的 API 或引导代码正确地重建应用即可。

7.1.4.2 组件目录

组件目录是一个由可重复使用的设计元素组成的资料库，能够帮助您选择器件功能并定制 PSoC 器件。组件目录中包含大量实用的内容：从简单的基元（例如逻辑门和器件寄存器），到数字定时器、计数器和 PWM，再到模拟组件（例如 ADC 和 DAC）以及通信协议（例如 I^2C 和 USB），应有尽有。有关可用外设的更多详细信息，请参考 第 45 页上的外设示例中介绍的内容。所有内容已被完全特性表征化，并在数据手册中进行了详细地记录，同时附带了代码示例、交流 / 直流规范以及已编好的用户代码 API。

7.1.4.3 设计重复使用

符号编辑器可让您开发能够重复使用的组件，从而大大缩短日后进行设计所需的时间。您只需绘制符号，并将其与经过验证的设计相关联即可。PSoC Creator 允许将新符号与赛普拉斯提供的内容一起放在组件目录中的任意位置。然后，您就可以在任意数量的项目中不限次数地重复使用您的内容，而无需重复查看其详细的实现信息。

7.1.4.4 软件开发

该工具拥有时尚且高度可定制的用户界面。它不仅包括项目管理功能以及适用于 C 语言和汇编语言源代码的集成编辑器，而且还包括设计输入工具。

项目构建控制功能采用了由 ARM® Limited、Keil™ 和 CodeSourcery （GNU）等顶级商业供应商所提供的编译器技术。该工具随附有适用于 ARM 的免费版 Keil C51 和 GNU C 编译器（GCC），这些编译器对代码规模或最终产品分发没有任何限制。该工具支持专业的 Keil C51 产品和 ARM RealView™ 编译器，能够轻松升级到更多优化编译器。

7.1.4.5 非侵入式调试

由于所有器件均提供 JTAG（4 线）和 SWD（2 线）调试连接，因此 PSoC Creator 调试器只需很少的干预，即可全面控制目标器件。断点和代码执行指令都可通过工具栏按键直接调用，一系列实用的窗口（寄存器、局部、监控、调用堆栈、存储器和外设）有助于实现无与伦比的系统可视性。

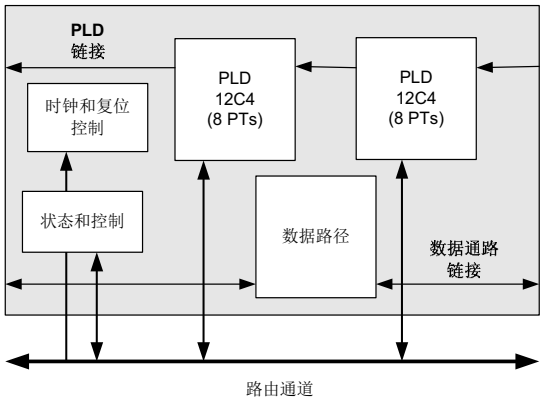
PSoC Creator 包含完成设计，以及日后维护和扩展设计所需的所有工具。设计流程的所有步骤都经过了仔细整合和优化，不仅简单易用，而且能最大限度地提高效率。

7.2 通用数字模块

通用数字模块（UDB）标志着向下一代 PSoC 嵌入式数字外设功能迈出了具有革命意义的一步。第一代 PSoC 数字模块的架构提供了粗糙的可编程性，其中仅包含一些具有少量选项的固定功能。新型 UDB 架构在配置精细程度和高效实现两者之间取得了最佳平衡。这种方法的核心是提供根据应用需求定制器件数字操作的能力。

为了实现这一点，UDB 包含了未赋定逻辑（PLD）、结构化逻辑（数据路径）与灵活布线方案的组合，以便在这些元素、I/O 连接以及其他外设之间提供互连能力。UDB 具有丰富的功能，从在一个 UDB 甚至是 UDB 的一部分 （未使用的资源可供其他功能使用）中实现的简单自包含功能，到需要多个 UDB 的更为复杂的功能，应有尽有。基本功能的示例为定时器、计数器、CRC 发生器、PWM、死区发生器和通信功能，如 UART、SPI 和 I^2C。另外，PLD 模块和连接在可用的资源上提供功能齐全的通用可编程逻辑。

图 7-2. UDB 框图



UDB 的主要组件模块包括：

- PLD模块 — 每个UDB有两个小型PLD。这些模块从连接阵列获取输入，并构成寄存或组合 “ 乘积和 ” 逻辑。PLD 用于实现状态机、状态位和组合逻辑方程。PLD 配置是从图元自动生成的。
- 数据路径模块 — 这一 8 位宽的数据路径包含结构化逻辑，能够实现可动态配置的 ALU、各种比较配置，以及条件生成。该模块还包含输入 / 输出 FIFO，这些 FIFO 是 CPU/DMA 系统与 UDB 之间的主要并行数据接口。
- 状态和控制模块 — 该模块的主要作用是为 CPU 固件提供与 UDB 操作进行交互和同步的方式。
- 时钟和复位模块 — 该模块能够提供 UDB 时钟以及复位选择和控制功能。

7.2.1 PLD 模块

PLD 模块的主要用途是实现逻辑表达式、状态机、序列发生器、查询表和解码器。在最简单的使用模型中，可将 PLD 模块视为单独的资源，通用 RTL 会综合并映射到此资源。更为常见且有效的使用模型是通过组合使用 PLD 和数据路径模块创建数字功能。其中，PLD 仅实现功能的随机逻辑和状态部分，而数据路径（ALU）则实现更多结构化元素。

图 7-3. PLD 12C4 结构

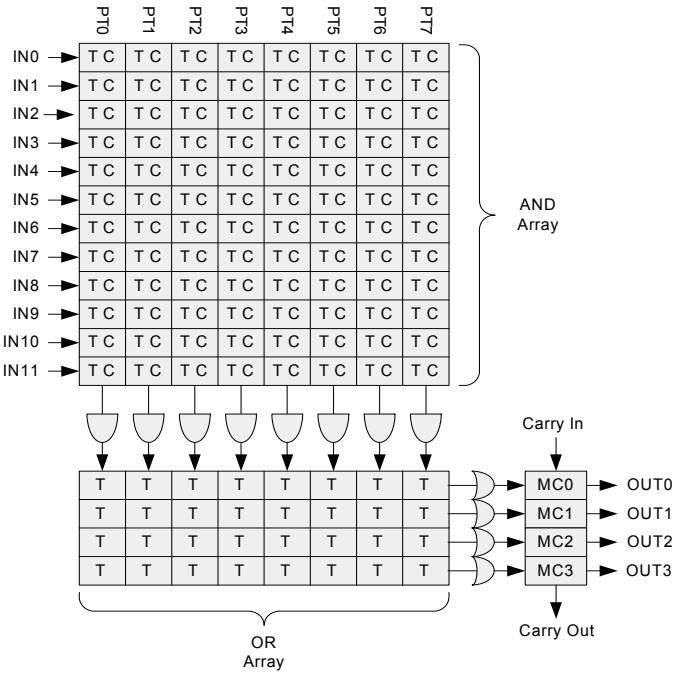
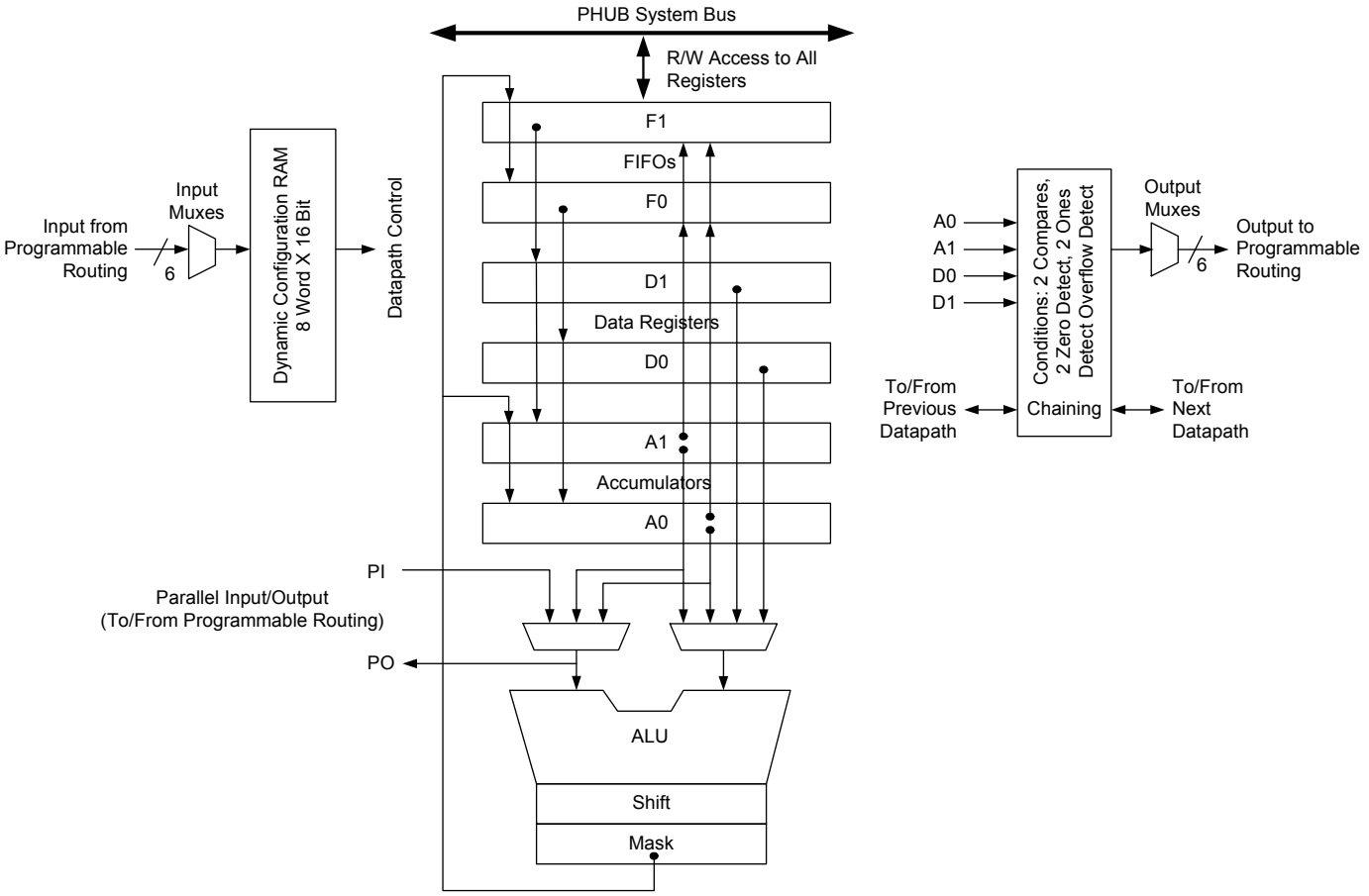


图 7-3 显示的是一个 12C4 PLD 模块。此 PLD 的 12 个输入能够带动八个乘积项。每个乘积项 （AND 函数）的宽度可以是 1 到 12 个输入，并且在给定的乘积项中，可以选择每个输入的真值（T）或补码（C）。对乘积项求和（OR 函数）即可创建 PLD 输出。总和的宽度可以是 1 到 8 个乘积项。12C4 中的 ‘C’ 表示 OR 门的宽度 （在本例中为 8）在所有输出中都不变 （而在 22V10 器件中是可变的）。这种类似于 PLA 的结构能够实现最大的灵活性，并确保所有输入和输出都是可交换的，以便通过软件工具轻松地进行分配。每个 UDB 中有两个 12C4 PLD。

7.2.2 数据路径模块

数据路径包含一个 8 位的单周期 ALU，并具有关联的比较和条件生成逻辑。此数据路径模块经过了优化，能够实现嵌入式功能，如定时器、计数器、积分器、 PWM、 PRS、 CRC、移位器、死区生成器等。

图 7-4. 数据路径最高级别



7.2.2.1 工作寄存器

数据路径包含六个主要工作寄存器，在正常操作的期间可通过 CPU 固件或 DMA 访问这些寄存器。

表 7-1. 工作数据路径寄存器

名称	功能	说明
A0 和 A1	累加器	这些寄存器是 ALU 的源和库（sink），也是比较器的源。
D0 和 D1	数据寄存器	这些寄存器是 ALU 的源，也是比较器的源。
F0 和 F1	FIFO	这些寄存器是系统总线的主要接口。它们可以是数据寄存器和累加器的数据源，或者从累加器或 ALU 捕获数据。每个 FIFO 的深度为四个字节。

7.2.2.2 动态配置 RAM

动态配置指的是在序列发生器的控制下，按周期更改数据路径功能和内部配置的能力。这是使用 8 字 x 16 位配置 RAM 实现的，该 RAM 存储有八个具有唯一性的 16 位宽配置。该 RAM 的地址输入用于控制序列，可以来自与 UDB 布线矩阵相连的任何模块（最典型的是 PLD 逻辑、 I/O 引脚），或来自此数据路径模块或其他数据路径模块的输出。

ALU

ALU 能够执行八种通用功能。其中包括：

- 递增
- 递减
- 加
- 减
- 逻辑 AND
- 逻辑 OR
- 逻辑 XOR
- 传输，用于通过 ALU 将某值传输到移位寄存器、掩码寄存器或其他 UDB 寄存器

除了 ALU 运算之外，还能够提供以下功能：

- 向左移位
- 向右移位
- 半字节交换
- 按位 OR 屏蔽

7.2.2.3 条件

每个数据路径包含两个比较操作，并具有位掩码选项。比较操作数包括由两个累加器和两个数据寄存器组成的各种配置。其他条件包括零检测、全一检测和溢出。这些条件是主要的数据路径输出，其中有些可输出到 UDB 走线矩阵中。条件计算可以使用连接到相邻 UDB 的内置链路，以在较宽的数据宽度上进行运算，而无需使用走线资源。

7.2.2.4 变量 MSB

算术和移位功能的最高有效位可通过编程方式指定。变量 MSB 支持可变宽度 CRC 和 PRS 功能，而且通过与 ALU 输出掩码相结合，可实现任意宽度的定时器、计数器和移位模块。

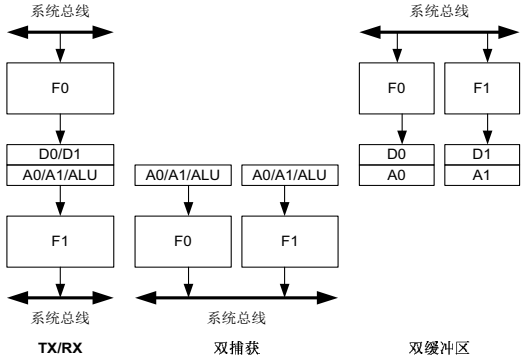
7.2.2.5 内置 CRC/PRS

数据路径包含对以下内容的内置支持：任意宽度和任意多项式的单周期循环冗余校验（CRC）计算和伪随机序列（PRS）生成。长度超过 8 位的 CRC/PRS 功能可通过结合使用 PLD 逻辑来实现，而内置链路可用于将该功能扩展至相邻 UDB。

7.2.2.6 输入 / 输出 FIFO

每个数据路径包含两个 4 字节深的 FIFO，这些 FIFO 可单独配置为输入缓冲区（系统总线写入到FIFO，数据路径内部读取FIFO）或输出缓冲区（数据路径内部写入到 FIFO，系统总线读取 FIFO）。FIFO 能够生成状态，这些状态可被选为数据路径输出，从而可连接至走线，以便与序列发生器、中断或 DMA 进行交互。

图 7-5. FIFO 配置示例



7.2.2.7 链路

数据路径可被配置为将条件和信号（例如进位和移位数据）同相邻数据路径进行链接，以便创建准确度更高的算术、移位和 CRC/PRS 功能。

7.2.2.8 时间复用

在过采样或不需要高时钟频率的应用中，可以与两组寄存器和条件生成器有效地分享数据路径中的单个 ALU 模块。来自 ALU 的进位和移出数据会被寄存起来，并可在后续周期中选作输入。这样一来，便可以在一个 （8 位）数据路径中支持 16 位功能。

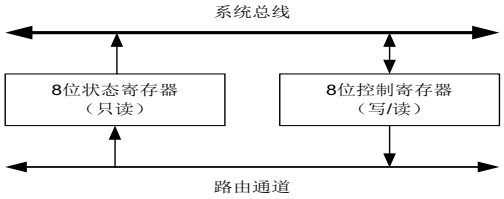
7.2.2.9 数据路径 I/O

有六个输入和六个输出用于将数据路径连接到走线矩阵。来自走线的输入能够为在每个周期中执行的数据路径操作提供配置，此外还能够提供串行数据输入。输入可以来自其他 UDB 模块、其他器件外设、器件 I/O 引脚等。走线的输出可从生成的条件和串行数据输出中选择。输出可以连接到其他 UDB 模块、器件外设、中断和 DMA 控制器、 I/O 引脚等。

7.2.3 状态和控制模块

该模块的主要用途是协调CPU固件与内部UDB操作之间的交互。

图 7-6. 状态和控制寄存器



控制寄存器的位（可由系统总线对其进行写操作）用于驱动到走线矩阵中，从而使固件能够控制 UDB 处理的状态。状态寄存器是只读寄存器，允许将内部 UDB 状态从内部走线直接读出到系统总线中。因此，固件能够监控 UDB 处理的状态。这些寄存器的每个位都具有至走线矩阵的可编程连接，并且根据应用要求建立这些走线连接。

7.2.3.1 用法示例

作为控制输入的示例，可以将控制寄存器中的某个位分配为功能使能位。有多种方法可以使能功能。其中一种方法中，控制位输出会连接到一个或多个UDB中的时钟控制模块，并作为所选UDB模块的时钟使能位使用。一个状态示例是，PLD 或数据路径模块生成了某个条件后的情况，例如由状态寄存器捕获并锁存，随后由 CPU 固件读取 （并清除）的 “ 比较结果为真 ” 条件。

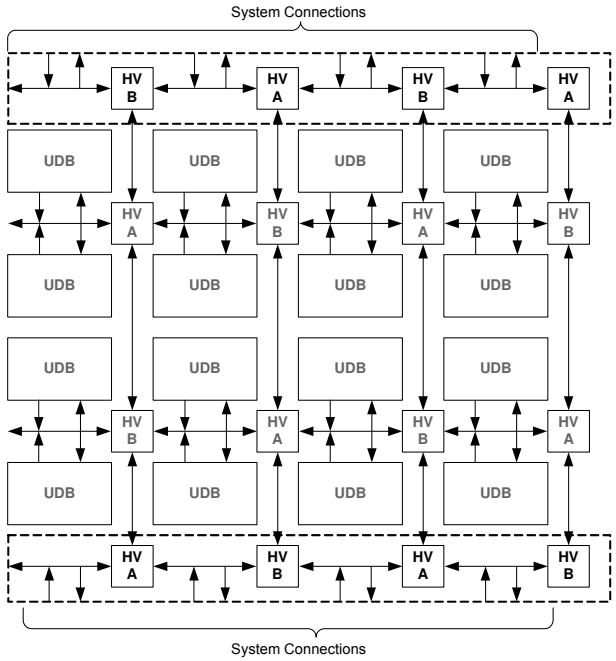
7.2.3.2 时钟生成

UDB 的每个子组件模块（包含两个 PLD、数据路径、以及状态和控制模块）都拥有一个时钟选择和控制模块。这不仅能够提升为 UDB 组件模块分配时钟资源的精细程度，并且允许其他功能使用未使用的 UDB 资源来最大限度地提高系统效率。

7.3 UDB 阵列说明

图 7-7 显示了一个由 16 个 UDB 组成的阵列示例。除了阵列内核之外，在阵列的顶端和底端还有 DSI 走线接口。其他未明确显示出来的接口包括用于总线和时钟分配的系统接口。UDB 阵列包含多个横向和纵向布线通道，每个通道由 96 条线路组成。这些通往 UDB 的线路连接在横向 / 纵向交叉点和 DSI 接口处具有高度的可交换性，能够在 PSoC Creator 中提供高效的自动布线。此外，走线还允许按线路分段沿着纵向和横向连接，从而进一步提升走线的灵活性和能力。

图 7-7. 数字系统接口结构

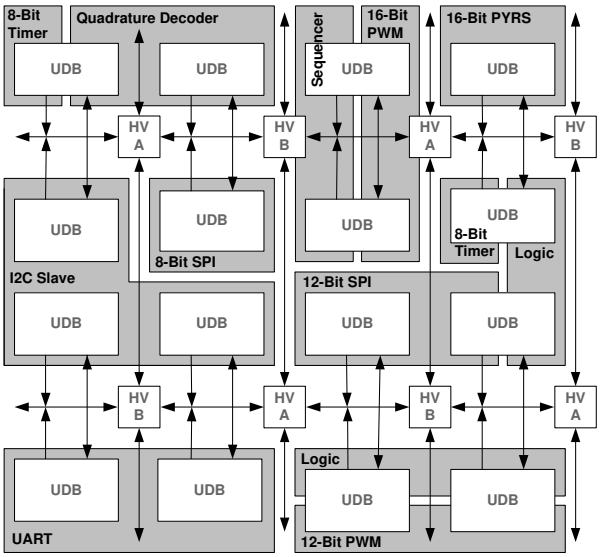


7.3.1 UDB 阵列可编程资源

图 7-8 显示了一个如何将功能映射到一组 UDB（16 个 UDB）的示例。 UDB 的主要可编程资源包括两个 PLD、一个数据路径和一个状态 / 控制寄存器。这些资源都是独立分配的，因为它们拥有可独立选择的时钟，所以未使用的模块可分配给其他不相关的功能。

例如阵列左上角的 8 位定时器。该功能仅需要使用 UDB 中的一个数据路径，因此 PLD 资源可分配给其他功能。对于正交解码器等功能，一个 UDB 所提供的 PLD 逻辑可能无法满足其需求，在这种情况下，可以利用 8 位定时器 UDB 中未使用的 PLD 模块。UDB 阵列中的可编程资源通常是同质资源，因此功能可映射到阵列中的任意边界。

图 7-8. 一组 UDB 中的功能映射示例



7.4 DSI 走线接口说明

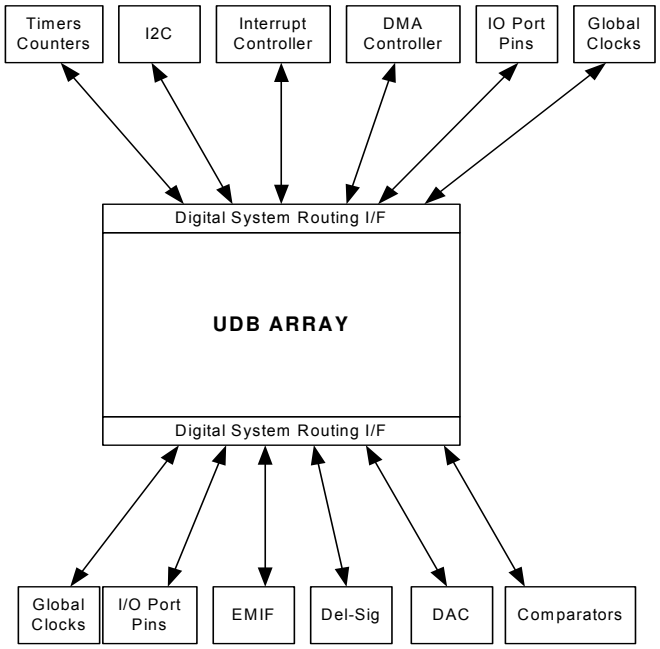
DSI 走线接口是横向和纵向走线通道在 UDB 阵列内核顶端和底端的延伸。它能够在器件外设（包括 UDB、I/O、模拟外设、中断、 DMA 和固定功能外设）之间提供通用的可编程走线。

图 7-9 说明了数字系统互连的概念，数字系统互连能够将 UDB 阵列走线矩阵与其他器件外设相连。任何需要可编程走线的数字系统内核或固定功能外设都会连接到该接口。

属于此类别的信号包括：

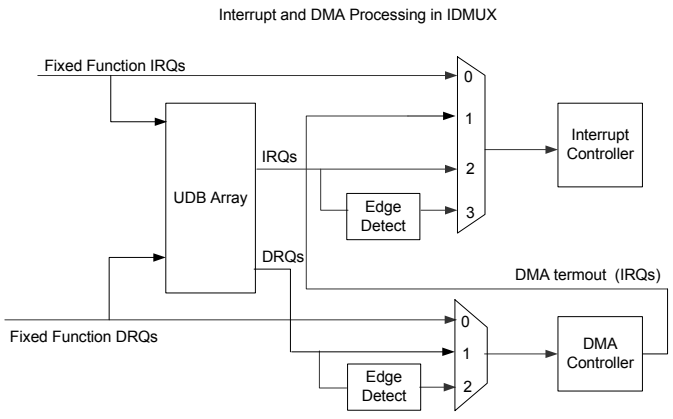
- 来自系统中所有数字外设的中断请求。
- 来自系统中所有数字外设的 DMA 请求。
- 需要灵活布线到 I/O 的数字外设数据信号。
- 需要连接至 UDB 的数字外设数据信号。
- 至中断和 DMA 控制器的连接。
- 至 I/O 引脚的连接。
- 至模拟系统数字信号的连接。

图 7-9. 数字系统互连



在 CY8C32 可编程架构中，中断和 DMA 的布线非常灵活。除了可以生成中断请求的众多固定功能外设之外，UDB 阵列路由中的任何数据信号也都能用来生成请求。单个外设可以生成多个独立的中断请求，从而可简化系统和固件设计。图7-10 显示了 IDMUX（中断 DMA 复用器）的结构。

图 7-10. IDMUX 中的中断和 DMA 处理



7.4.1 I/O 端口走线

共有 20 个连接至典型 8 位 I/O 端口的 DSI 走线，其中 16 个用于数据布线， 4 个用于驱动强度控制。

当 I/O 引脚连接至走线时，会提供两个主要连接，即输入和输出连接。如与驱动强度控制相结合，这样可以实现双向 I/O 引脚。数据输出信号具有单同步（流水线式）选项，数据输入信号具有双同步选项。同步时钟是主设备时钟 （请参见图 6-1）。通常如果 CPU 同该信号或由 CPU 派生的所有信号进行了交互，那么所有来自引脚的输入都是同步的。很少使用异步输入。例如，通过组合的 PLD 逻辑将信号从输入引脚传输到输出引脚。

图 7-11. I/O 引脚同步走线

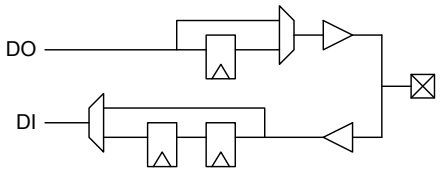
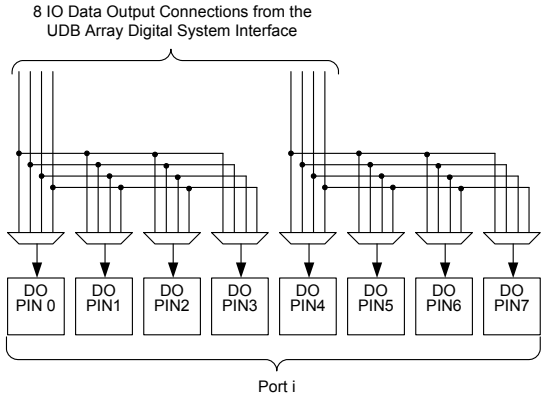
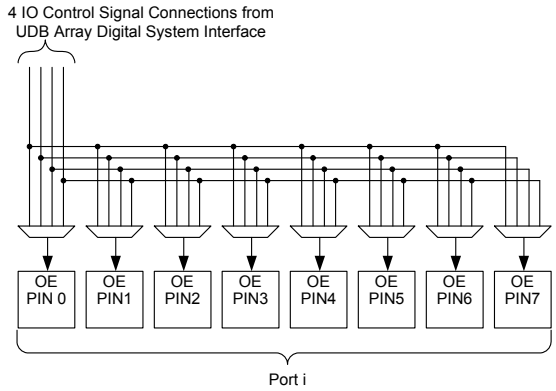


图 7-12. I/O 引脚输出连接



此外，还有 4 个 DSI 走线连接至给定的 I/O 端口，以便实现引脚的动态输出使能控制。这种连接提供了一系列选项，其中包括由一个信号控制且完全组合的 8 位，以及多达四个单独控制的引脚。输出使能信号对创建三态双向引脚和总线非常有用。

图 7-13. I/O 引脚输出使能连接



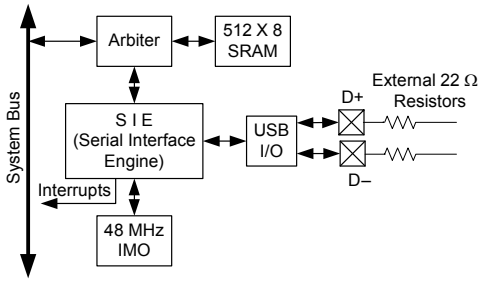
7.5 USB

PSoC 包含专用的全速 （12 Mbps） USB 2.0 收发器，支持所有四种 USB 传输类型：即控制传输、中断传输、批量传输和同步传输。 PSoC Creator 提供全面的配置支持。 USB 通过两个专用的 USBIO 引脚与主机连接。有关详细信息，请参考第 38 页上的 I/O 系统与路由一节中介绍的内容。

USB 包含以下特性：

- 八个单向数据端点
- 一个双向控制端点 0 （EP0）
- 由八个数据端点共享的 512 字节缓冲区
- EP0 专用的 8 字节缓冲区
- 三种存储器模式
  - 不带 DMA 访问的手动存储器管理功能
  - 带手动 DMA 访问的手动存储器管理功能
  - 带自动 DMA 访问的自动存储器管理功能
- 用于收发器的内部 3.3 V 电压调节器
- 自动锁定为 USB 总线时钟的内部 48 MHz 主振荡器模式，不需要为 USB 提供外部晶振 （而仅需要配备了 USB 的芯片）
- 在总线上及每次发生端点事件时生成中断，带器件唤醒
- USB 复位、暂停和恢复操作
- 总线供电和自供电模式

图 7-14. USB



7.6 定时器、计数器和 PWM

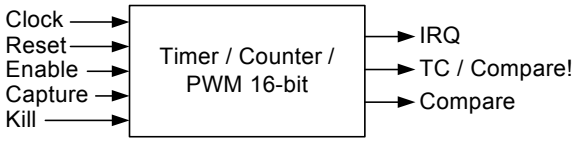
定时器 / 计数器 /PWM 外设是一种 16 位的专用外设，能够提供三种最常用的嵌入式外设功能。几乎所有嵌入式系统都会使用定时器、计数器和 PWM 的某种组合。该 PSoC 器件系列中包含四个定时器、计数器和 PWM 实例，此外，还可以根据需要在通用数字模块 （UDB）中实例化更多、更高级的定时器、计数器和 PWM。 PSoC Creator 允许设计人员选择他们所需要的定时器、计数器和PWM功能。该工具集能够利用大多数可用的最优资源。

借助通过 DSI 走线连接的输入和输出信号，定时器 / 计数器 PWM 外设可从多个时钟源中进行选择。借助 DSI 走线，可以通过 DSI 访问至任何器件引脚及任何内部数字信号的输入和输出连接。四个实例中的每一个都具有比较输出、终端计数输出（可选互补比较输出）和可编程中断请求线。定时器 / 计数器 /PWM 可配置为自由运行、单触发或受 “ 使能 ” 输入控制。该外设具有定时器复位和捕获输入，以及控制比较器输出的 ‘kill’ 输入。该外设全面支持 16 位捕获。

定时器 / 计数器 / PWM 功能包括：

- 16 位定时器 / 计数器 / PWM （仅限递减计数）
- 可选时钟源
- PWM 比较器（可针对 LT、LTE、EQ、GTE、GT 进行配置）
- 在启动、复位和到达终端计数时重新加载周期
- 在到达终端计数、比较结果为真或捕获时生成中断
- 动态计数器读操作
- 定时器捕获模式
- “ 确认 Enable 信号时进行计数 ” 模式
- 自由运行模式
- 单触发模式 （在设定的时间长度结束后停止）
- 带死区的互补 PWM 输出
- PWM 输出非同步停止输入

图 7-15. 定时器 / 计数器 /PWM



7.7 I²C

PSoC 包括一个固定功能 I²C 外设。在 PSoC Creator 中，可以根据需要使用通用数字模块（UDB）来实例化更多 I²C 接口。

I²C 外设提供了一个同步的两线接口，旨在将 PSoC 器件与两线 I²C 串行通信总线相连。它与 NXP I2C 总线规范和用户手册（UM10204）定义的 I²C 标准模式、快速模式和超快速模式的设备兼容 [13]。可以使用处于开漏模式的 GPIO 或 SIO 来实现 I²C 总线 I/O。

为了消除过多的 CPU 干预和开销，针对状态检测和帧划分位生成提供了 I²C 相关支持。I²C 可以充当一个从设备、主设备或多主设备（从设备和主设备）模式 [14]。在从设备模式下，该单元始终侦听开始发送或接收数据的“开始（Start）”条件。主设备模式能够提供生成“开始”（Start）和“停止”（Stop）条件并启动数据操作的功能。多主设备模式能够提供时钟同步和仲裁功能，允许同一个总线上存在多个主设备。如果主设备模式处于启用状态而从设备模式未处于启用状态，则该模块不会在发生外部生成的“开始”条件时生成中断。I²C 通过 DSI 走线进行连接，并允许直接连接到任何 GPIO 或 SIO 引脚。

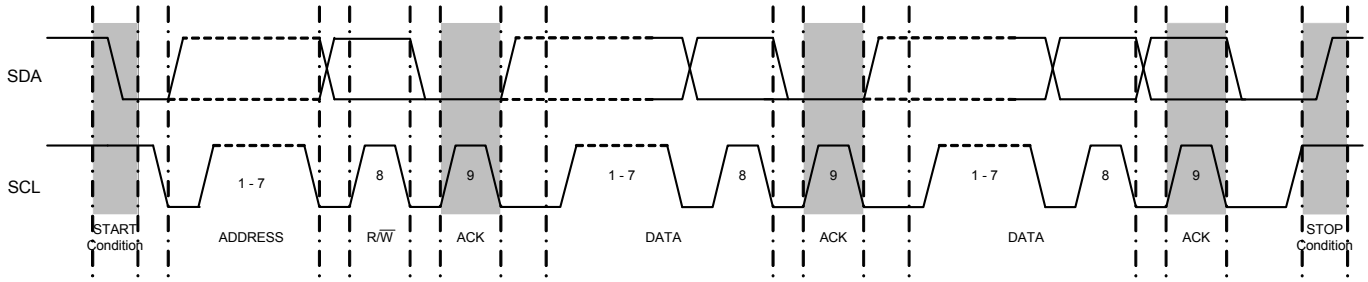
I²C 能够提供对 7 位地址的硬件地址检测，而无需 CPU 干预。此外，器件还可以在 7 位硬件地址匹配时从低功耗模式唤醒。如果需要唤醒功能，I2C 引脚只能连接到两组特殊的 SIO 引脚中的一组。请参考 第 12 页上的引脚说明中的 SCL 和 SDA 引脚说明。

I²C 特性包括：

- 从设备和主设备、发射器以及接收器操作
- 字节处理，只需很少的 CPU 开销
- 中断或轮循 CPU 接口
- 支持高达 1 Mbps 的总线速度
- 7 位或 10 位寻址（10 位寻址需要固件支持）
- SMBus 操作（通过固件支持 — UDB 中的硬件支持 SMBus）
- 7 位硬件地址比较
- 在地址匹配时从低功耗模式唤醒
- 短时脉冲过滤（仅针对活动模式和备用活动模式）

数据传输所遵循的格式如图 7-16 所示。在 START 条件发生后，将发送一个从设备地址。该地址的长度为 7 位，后面跟随的第 8 位为数据方向位（R/W）— ‘0’ 表示传输（写），而 ‘1’ 则表示数据请求（读）。数据传输总是以一个由主设备生成的STOP 条件作为终止标志。

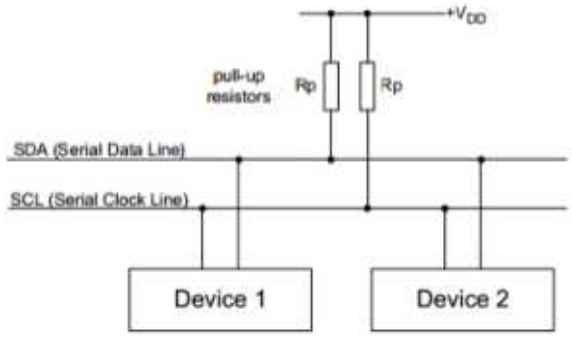
图 7-16. I²C 完整的传输时序



7.7.1 外部电气连接

如图 7-17 所示，I²C 总线上要有外部上拉电阻（R_P）。这些电阻主要由供电电压、总线速度和总线电容确定。有关计算设计中上拉电阻最佳值的详细信息，建议参考 www.nxp.com 网站所提供的 UM10204 I2C 总线规范和用户手册版本 6 或更高版本。

图 7-17. 器件与 I²C 总线连接情况



注释：

13. I²C 外设在以下范围内不符合 NXP I2C 规范：模拟短时脉冲滤波器、I/O VOL/IOL、I/O 迟滞。I²C 模块带有数字短时脉冲滤波器（在睡眠模式下无效）。通过将各个 I/O 设置为慢速模式可以满足在快速模式下的最小下降时间规范。更多详细信息，请参考第 77 页上的输入和输出一节节中的 I/O 电气规范。
14. 固定模块 I²C 不支持未定义的总线条件，也不支持设备模式中的重复启动操作。应避免这些条件，或使用基于 UDB 的 I²C 组件替代它。

对于大多数设计，使用表 7-2 中提供的默认值，不需要任何计算仍能提供良好的性能。选择默认值，作为下限和上限之间的电阻标准值。表 7-2 中所显示的各个值适用于以下设计：1.8 V 到 5.0 V V_{DD}、小于 200 pF 的总线电容 （C_B）、高达 25 µA 的总输入漏电流 （I_{IL}）、高达 0.4 V 输出电压电平 （V_{OL}）以及 V_{IH} 最大值为 0.7 * V_{DD}。标准模式和快速模式可以使用 GPIO 引脚，也可使用 SIO PSoC 引脚。强快速模式需要使用 SIO 引脚，这样能够在电流为 20 mA 时满足 V_{OL} 规范。需要计算自定义的上拉电阻值；如果您的设计不符合默认的假设，那么需要使用串联电阻（RS）来限制引入的噪声，或需要最大化电阻值，从而降低功耗。

表 7-2. 推荐的上拉电阻默认值

	R_P	单位
标准模式 — 100 kbps	4.7 k， 5%	Ω
快速模式 — 400 kbps	1.74 k， 1%	Ω
快速模式 Plus — 1 Mbps	620， 5%	Ω

计算理想的上拉电阻值会需要各限制的值，通过 NXP I^2C 规范中详细介绍的三个公式来设置这些限制。这些公式分别为：

公式 1：

$$R_{PMIN} = (V_{DD}(max) - V_{OL}(max))/(I_{OL}(min))$$

公式 2：

$$R_{PMAX} = T_R(max)/0.8473 \times C_B(max)$$

公式 3：

$$R_{PMAX} = V_{DD}(min) - V_{IH}(min) + V_{NH}(min)/I_{IH}(max)$$

公式参数：

V_{DD} = I^2C 总线额定供电电压

V_{OL} = 总线器件最大输出低电压

I_{OL}= I^2C 规范中的低电平输出电流

T_R = I^2C 规范中的总线上升时间

C_B = 包含引脚和 PCB 走线的每条总线的电容

V_{IH} = 所有总线器件的最小高电平输入电压

V_{NH} = 在 I^2C 规范中高电平输入噪声的最小裕度

I_{IH} = 总线上所有器件的总输入漏电流

受总线器件最大低输出电压 （V_{OL}）规范的限制，供电电压（V_{DD}）限制了最小上拉电阻值。上拉电阻越小，通过引脚的电流则越大，因此会超过 V_{OH} 的规范条件的限制。通过使用欧姆定律导出公式 1，用于确定最小阻抗，该值将在下面的条件下满足 V_{OL} 规范：在标准与快速模式下的 3 mA、快速模式下的 3 mA 以及在给定的 V_{DD}。

公式 2 可确定由总线电容引起的最大上拉电阻值。总线总电容是指总线上所有引脚、线以及走线引起的电容。总线电容越大，上拉电阻则越低，从而能够根据 RC 延迟来满足指定总线速度上升时间。选择一个比允许的更大的上拉电阻会使时序要求失败，从而引起通信错误。对于具有五个或更少 I^2C 的器件以及长度达 20 厘米的总线走线设计，那么总线电容将小于 100 pF。

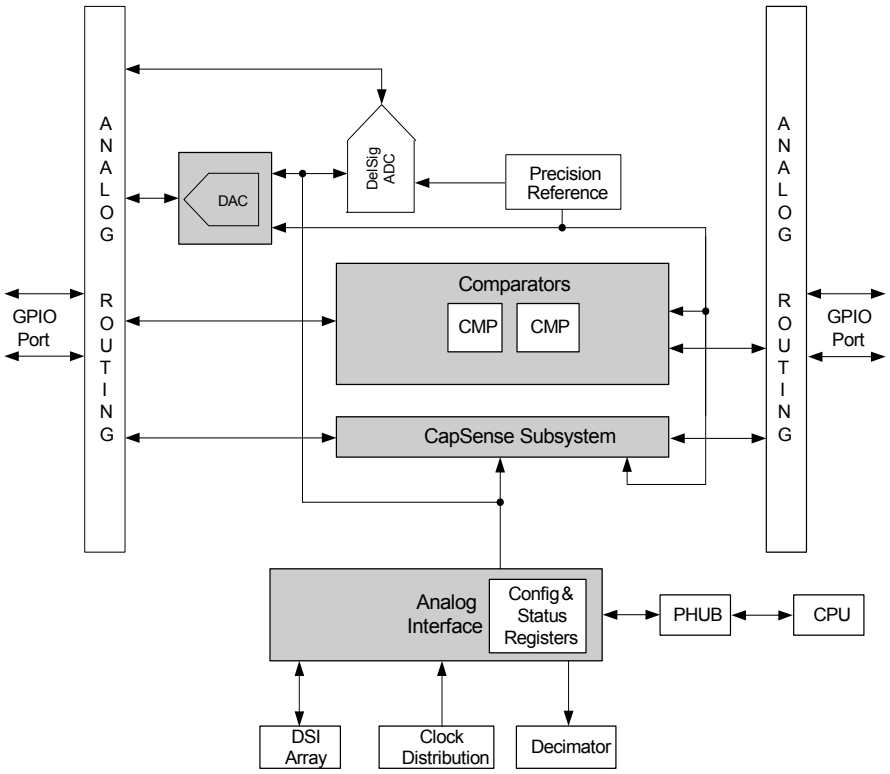
限制最大上拉电阻值的第二个作用是按公式 3 计算出总线总漏电流。漏电流主要来自总线连接的 I/O 引脚。如果漏电流过高，那么上拉电阻将难以维持可接受的 V_{IH} 电平，从而引起通信错误。对于总线上具有五个或更少的 I^2C 器件的设计，总漏电流小于 10 µA。

8. 模拟子系统

可编程模拟系统能够针对应用创建标准和高级模拟信号处理模块的组合。这些模块随后将互连，并与器件上的任意引脚相连，从而提供高度的设计灵活性和 IP 安全性。下面列出了模拟子系统的功能，以便用户对这些功能和架构有一个大概的了解。

- 模拟全局总线、模拟复用器总线和模拟局部总线提供灵活、可配置的模拟路由架构。
- 高分辨率 Delta-Sigma ADC。
- 一个 8 位 DAC，能够提供电压或电流输出。
- 两个电压比较器，包含至可配置 LUT 输出的可选连接。
- CapSense 子系统，用于使能电容式触摸感应。
- 高精度参考电压，用于为内部模拟模块生成精确的模拟电压。

图 8-1. 模拟子系统框图



PSoC Creator 软件程序提供了一个易于使用的界面，以便配置 GPIO 与各种模拟资源之间的连接以及从一个模拟资源到另一个模拟资源的连接。PSoC Creator 同样也提供了组件库，借助这些组件库，可以配置各种模拟模块，以执行特定于应用的功能。该工具还能够生成 API 接口库，以便对允许在模拟外设与 CPU/ 存储器之间进行通信的固件进行写操作。

8.1 模拟布线

CY8C32 器件系列拥有灵活的模拟布线架构，能够连接 GPIO 和不同的模拟模块，并可以在不同的模拟模块之间路由信号。这种灵活的走线架构拥有众多优势，其中之一是允许将输入和输出连接动态走线到不同的模拟模块。

有关如何为实现最佳模拟布线来选择引脚的相关信息，请参考应用笔记， AN58304 — PSoC® 3 与 PSoC® 5 — 模拟设计的引脚选择。

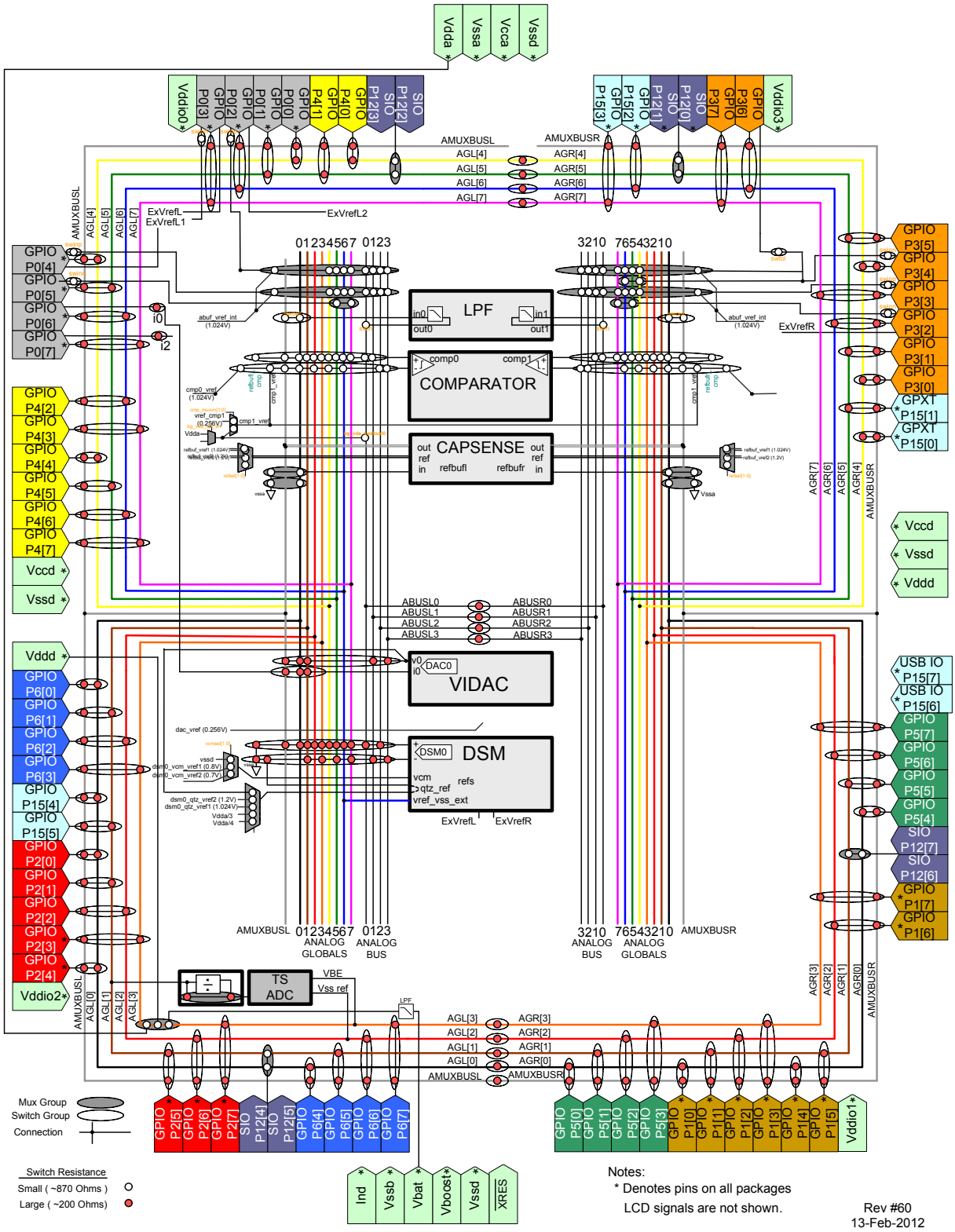
8.1.1 特性

- 灵活、可配置的模拟布线架构
- 16 个模拟全局总线 （AG）和两个模拟复用器总线（AMUXBUS），用于连接通用 I/O 和模拟模块
- 每个 GPIO 都连接到一个模拟全局总线和一个模拟复用器总线
- 8 个模拟局部总线（ABUS），用于在不同的模拟模块之间连接信号
- 复用器和开关，用于模拟模块的输入和输出选择

8.1.2 功能说明

模拟全局总线 （AG）和模拟复用器总线 （AMUXBUS）能够在 GPIO 与各种模拟模块之间提供模拟连接。CY8C32 系列中有 16 个 AG。模拟布线架构分为四个象限，如图 8-2 所示。每个象限拥有四个模拟全局总线 （AGL[0..3]、AGL[4..7]、AGR[0..3]、AGR[4..7]）。每个 GPIO 都通过模拟开关连接到相应的模拟全局总线。模拟复用器总线是共享的走线资源，通过模拟开关连接到每个 GPIO。CY8C32 中有两个 AMUXBUS 走线，其中一个在左半部分 （AMUXBUSL），另一个在右半部分 （AMUXBUSR），如图 8-2 所示。

图 8-2. CY8C32 模拟互连



为了保留该图的细节，请使用 PDF 显示程序查看或在尺寸为 11" × 17" 的纸张上打印。

模拟局部总线 （ABUS）是位于模拟子系统中的走线资源，用于在不同的模拟模块之间路由信号。 CY8C36 中有 8 个 ABUS 走线，其中 4 个在左半部分 （ABUSL [0:3]），另外 4 个在右半部分 （ABUSR [0:3]），如图 8-2 所示。通过使用 ABUS，在互连模拟模块时可省去模拟全局总线和模拟复用器总线。

复用器和开关位于各种总线上，用于将信号输入和输出模拟模块。复用器在任意时间都只能有一个连接，而开关可以同时有多个连接。在图 8-2 中，复用器用灰色的椭圆形表示，开关用透明的椭圆形表示。

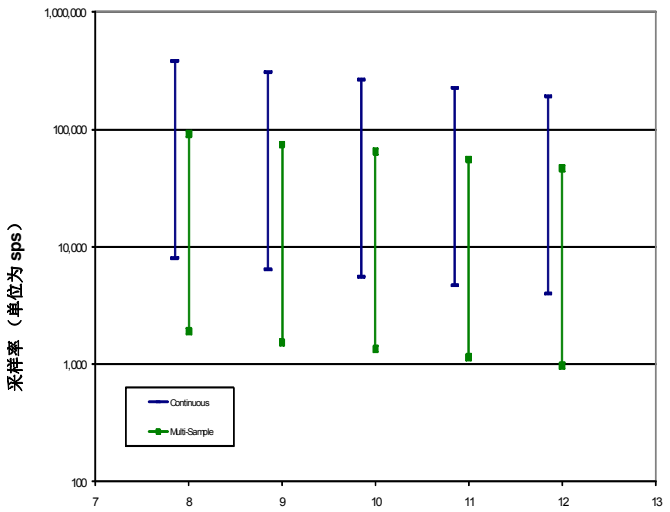
8.2 Delta-sigma ADC

CY8C32 器件包含一个 Delta Sigma ADC。该 ADC 能够提供差分输入、高分辨率和卓越的线性度，是测量应用的绝佳 ADC 选择。可以对转换器进行配置，以便在数据速率高达 192 ksps 时输出 12 位的分辨率。如果时钟频率固定，那么可通过降低分辨率来实现更快的数据速率，如表 8-1 和图 8-3 所示。

表 8-1. Delta-sigma 模数转换器性能

位数	最大采样率 （sps）	SINAD （dB）
12	192 k	66
8	384 k	43

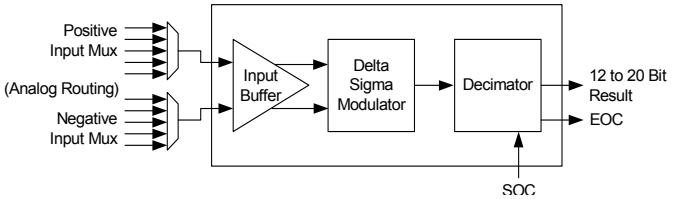
图 8-3. Delta-sigma 模数转换器采样率，范围 = ±1.024 V



8.2.1 功能说明

模数转换器能够连接和配置三个基本组件，即输入缓冲区、delta-sigma 调制器和抽取滤波器。基本框图如图 8-4 所示。来自输入复用器的信号会直接或通过输入缓冲区传输到 delta-sigma 调制器。 Delta-sigma 调制器用于执行实际的模数转换。调制器会对输入进行过采样，并生成串行数据流输出。如果不经过一定的后期处理，这种高速数据流对大多数应用而言都毫无用处，因此它们会通过模拟接口模块传送到抽取滤波器。抽取滤波器会将高速串行数据流转换成并行 ADC 结果。调制器 / 抽取滤波器频率响应为 $[(\sin x)/x]^4$。

图 8-4. Delta-sigma 模数转换器框图



分辨率和采样率由抽取滤波器控制。数据会传送到抽取滤波器，而输出由最后四个样本决定。当切换输入复用器时，直到切换后的第四个样本为止，输出数据都无效。

8.2.2 工作模式

用户可以将 ADC 配置为下列四种模式之一：单样本采样模式、多样本采样模式、连续采样模式或多样本 （加速）采样模式。所有四种模式都通过写入到控制寄存器中的开始位或发出开始转换 （SOC）信号启动。转换完成后，会设置状态位，输出信号结束转换 （EOC）将置为高电平，并且在该值被 DMA 控制器或 CPU 读取之前将一直保持高电平。

8.2.2.1 单样本采样模式

在单样本采样模式下，ADC 在触发时执行一次样本转换。在这种模式下，ADC 会保持待机状态，以等待发出 SOC 信号。当发出 SoC 信号时， ADC 将执行四次连续转换。前三次转换将启动抽取滤波器。经过第 4 次转换之后，ADC 结果有效且可用，在此期间将生成 EoC 信号。为了检测转换是否结束，系统可能会轮循控制寄存器的状态或配置外部EoC信号，以便生成中断或调用DMA请求。传输完成后，ADC 会重新进入待机状态，并且直到发生下一个 SoC 事件之前将一直保持该状态。

8.2.2.2 连续采样模式

连续采样模式用于对单个输入信号实施多次连续采样。不应在这种模式下完成多路输入的复用。在第一个转换结果可用之前，有三个转换时间的延迟。该时间为抽取滤波器启动所需时间。第一个结果出来后，便可按照所选采样速率进行连续转换。

8.2.2.3 多样本采样模式

除了需要在采样之间复位 ADC 之外，多样本采样模式与连续采样模式类似。输入在多个信号间切换时，该模式非常有用。在每个样本之间会对抽取滤波器进行重新启动，因此之前的样本不会影响当前的转换。每次采样完成之后，会自动开始下一个采样。可以使用固件轮询、中断或 DMA 的方式传输结果。

有关输出格式的更多信息，请参考《技术参考手册》中介绍的内容。

8.2.3 开始转换输入

SoC 信号用于开始 ADC 转换。数字时钟或 UDB 输出可用于驱动该输入。它适用于采样周期必须长于 ADC 转换时间或者 ADC 必须与其他硬件同步的应用场合。该信号是可选的，如果 ADC 采用连续采样模式，则不需要连接该信号。

8.2.4 结束转换输出

结束转换 （EoC）信号在每次 ADC 转换结束时都会变为高电平。该信号可用于触发中断或 DMA 请求。

8.3 电压比较器

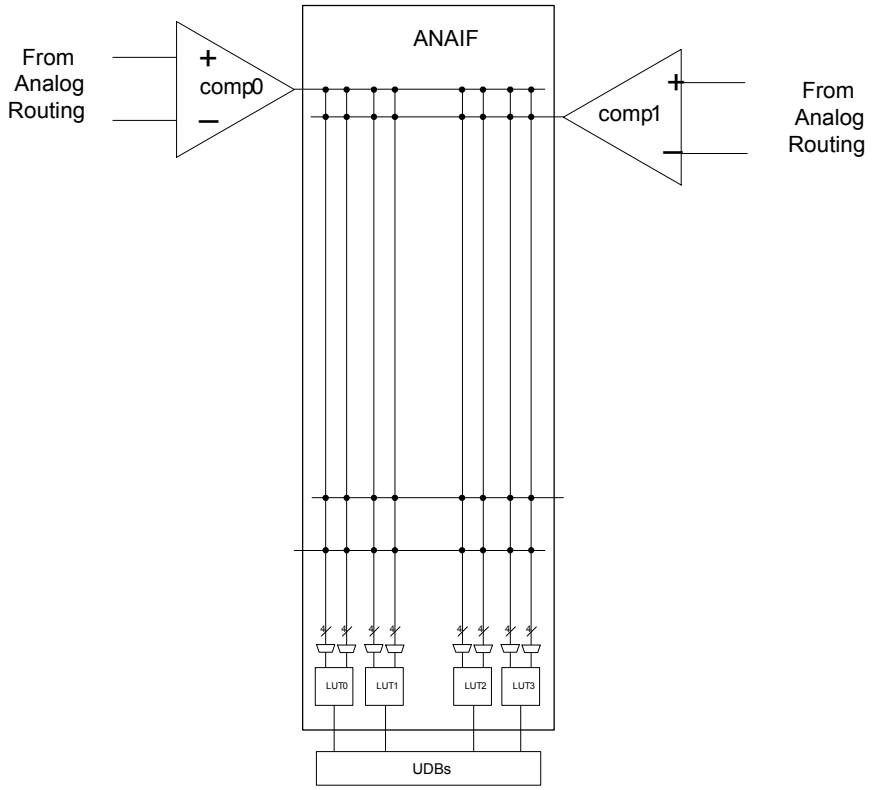
CY8C32 系列中的每个器件都包含两个电压比较器。电压比较器具有以下特性：

- 输入偏移出厂预设值小于 5 mV
- 轨至轨共模输入范围 （VSSA 到 VDDA）
- 可使用以下三种模式中的一种在速度和功耗之间进行平衡：快、慢或超低功耗
- 电压比较器输出可以连接到查询表，以便执行简单的逻辑功能，然后还可以连接到数字模块。
- 可以选择使电压比较器的正向输入通过低通滤波器。提供了两个滤波器
- 电压比较器输入可以连接到 GPIO 或 DAC 输出

8.3.1 输入和输出接口

电压比较器的正向和负向输入来自于模拟全局总线、模拟复用器总线、模拟局部总线以及通过复用器的高准确度电压参考。每个电压比较器的输出都可以连接到两个输入 LUT 中的任意一个。该 LUT 的输出会连接到 UDB 数字系统接口。

图 8-5. 模拟电压比较器



8.3.2 LUT

CY8C32 系列器件包含四个 LUT。LUT 是一个双输入、单输出的查询表，它由芯片中的任何一个或两个电压比较器驱动。任何 LUT 的输出都会连接到 UDB 阵列的数字系统接口。这些信号可以从 UDB 阵列的数字系统接口连接到 UDB、DMA 控制器、I/O 或中断控制器。

写入寄存器的 LUT 控制字能够设置输出上的逻辑功能。可用的 LUT 功能和相关的控制字如表 8-2 所示。

表 8-2. LUT 函数与编程字和输入

控制字	输出 （A 和 B 都是 LUT 的输入）
0000b	**FALSE**(‘0’)
0001b	**A** AND **B**
0010b	**A** AND (NOT **B**)
0011b	A
0100b	(NOT **A**) AND **B**
0101b	B
0110b	**A** XOR **B**
0111b	**A** OR **B**
1000b	**A** NOR **B**
1001b	**A** XNOR **B**
1010b	NOT **B**
1011b	**A** OR (NOT **B**)
1100b	NOT **A**
1101b	(NOT **A**) OR **B**
1110b	**A** NAND **B**
1111b	**TRUE**(‘1’)

8.4 LCD 直接驱动器

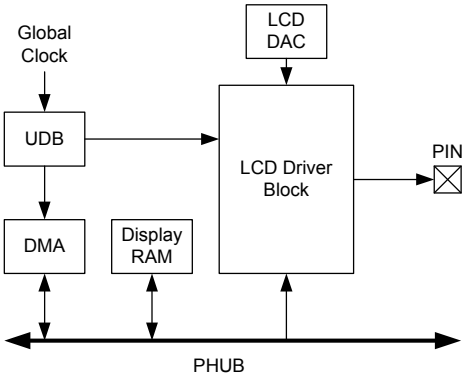
PSoC 液晶显示屏（LCD）驱动器系统是一种高度可配置的外设，能够使 PSoC 直接驱动众多 LCD 显示屏。所有电压都在芯片上生成，从而无需采用外部组件。借助高达1/16的复用率，CY8C32 系列 LCD 驱动器系统可以驱动多达 736 个段。此外，PSoC LCD 驱动器模块在设计时还充分考虑了便携器件的省电要求，能够采用不同的 LCD 驱动模式和断电模式来达到省电的目的。

PSoC Creator 提供了一个 LCD 段驱动组件。借助组件向导，能够轻松且灵活地配置LCD资源。您可以指定段引脚和共模引脚以及其他选项。软件能够根据必要的规范对器件进行配置。这得益于 PSoC 器件固有的可编程性。

PSoC LCD 段系统的关键特性包括：

- LCD 屏幕直接驱动
- A 型 （标准）和 B 型 （低功耗）波形支持
- 能够针对 LCD 屏幕支持宽广的工作电压范围 （2 V 到 5 V）
- 静态、 1/2、 1/3、 1/4、 1/5 偏置电压电平
- 通过内部电阻梯生成内部偏置电压
- 总计多达 62 个共模输出和段输出
- 高达 1/16 的复用率，最多能够实现 16 个背板 / 共模输出
- 多达 62 个前面板 / 段输出，能够实现直接驱动
- 总计能够驱动多达 736 个段 （16 个背板 x 46 个前面板）
- 最多 64 级可由软件控制的对比度
- 能够通过DMA将显示数据从存储器缓冲区移至LCD驱动器（无需 CPU 干预）
- 可调整的 LCD 刷新率，范围介于 10 Hz 到 150 Hz 之间
- 能够反转 LCD 显示屏，从而显示负像
- 三种 LCD 驱动器驱动模式，能够优化功耗

图 8-6. LCD 系统



8.4.1 LCD 段引脚驱动器

每个 GPIO 引脚均包含一个 LCD 驱动器电路。 LCD 驱动器能够缓存 LCD DAC 的相应输出，以便直接驱动 LCD 的显示屏。寄存器设置决定引脚是共模引脚还是段引脚。然后，引脚的 LCD 驱动器会根据显示数据，选择六种偏置电压中的一种电压来驱动 I/O 引脚。

8.4.2 显示数据流

LCD 段驱动器系统会读取显示数据，并为 LCD 显示屏生成适当的输出电压，以便产生所需的图像。显示数据会储存在系统 SRAM 的存储器缓冲区中。每次需要更改共模和段驱动器电压时，下一组像素数据都会通过 DMA 从存储器缓冲区移至端口数据寄存器内。

8.4.3 UDB 和 LCD 段控制

配置 UDB 以生成全局 LCD 控制信号和时钟。这组信号会通过一组专用的 LCD 全局走线通道，布线到每个 LCD 引脚驱动器。除了生成全局 LCD 控制信号以外， UDB 还会生成 DMA 请求，以便启动下一帧 LCD 数据的传输。

8.4.4 LCD DAC

LCD DAC 能够为 LCD 系统生成对比度控制和偏置电压，并能够基于所选的偏置率生成多达五个LCD驱动电压和接地电压。偏置电压可根据需要输出到专用 LCD 偏置总线上的 GPIO 引脚。

8.5 CapSense

CapSense 系统为在触摸感应按键、滑条、接近检测等应用中测量电容提供了一种通用而高效的方式。CapSense 系统使用一组系统资源（包括一些主要针对 CapSense 的硬件功能）。具体的资源使用情况在 PSoC Creator 中的每个 CapSense 组件内进行了详细说明。

它采用了一种使用 Delta-Sigma 调制器（CSD）的电容式感应方法。使用开关电容技术以及 delta-sigma 调制器来提供电容式感应功能，从而将感应电流转换为数字代码。

8.6 温度传感器

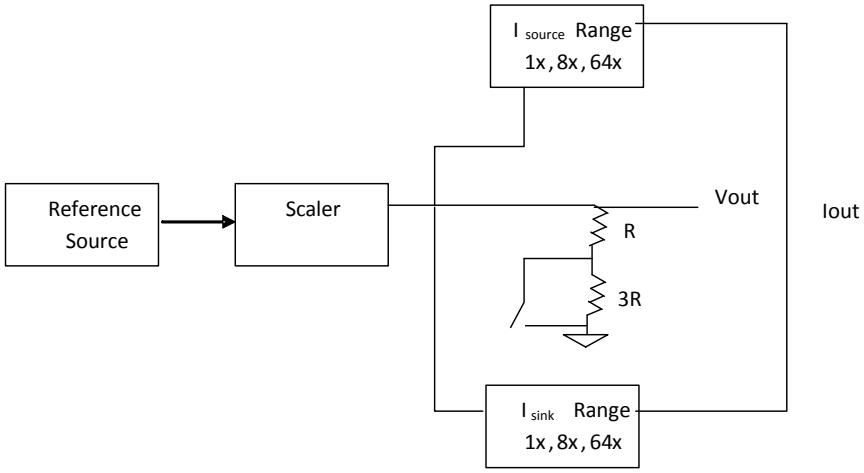
Die温度用于建立对闪存进行写操作所需的编程参数。Die温度是使用专用的传感器，根据正向偏置晶体管测量得出的。温度传感器有自己的辅助 ADC。

8.7 DAC

CY8C32 芯片包含一个数模转换器 （DAC）。该 DAC 为 8 位，可针对电压或电流输出进行配置，并支持 CapSense、电源供电调节以及波形生成。该 DAC 具有以下特性：

- 可在 255 个步长范围内调节的电压或电流输出
- 可编程步长大小 （范围选择）
- 八位校准，能够更正 ±25% 的增益误差
- 用于电流输出的源和接收器选项
- 高速和低速 / 功耗模式
- 电流输出的转换速率为 8 Msps
- 电压输出的转换速率为 1 Msps
- 本质上是单调的
- 数据和探针输入可由 CPU 或 DMA 提供，或从 DSI 直接路由
- 大电流模式的专用低电阻输出引脚

图 8-7. DAC 框图



8.7.1 电流 DAC

电流 DAC（IDAC）可针对以下范围进行配置：0 到 31.875 µA、0到255 µA，以及0到2.04 mA。IDAC可配置为拉电流或灌电流。

8.7.2 电压 DAC

对于电压 DAC （VDAC），电流 DAC 输出会通过电阻路由。VDAC 可以使用两个范围，即 0 到 1.02 V 以及 0 到 4.08 V。在电压模式下，连接到 DAC 输出的任何负载都应该是纯容性负载（VDAC 的输出不会被缓冲）。

9. 编程、调试接口与资源

PSoC 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。共有三种接口：JTAG、SWD 和 SWV。JTAG 和 SWD 支持器件的所有编程和调试功能。 JTAG 还支持用于板级测试的标准 JTAG 扫描链路，以及将多个 JTAG 器件链接至单个 JTAG 连接。

有关 PSoC 3 编程的更多信息，请参阅 PSoC® 3 器件编程规范。

借助完善的片上调试 （DoC）功能，可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

PSoC Creator IDE 软件能够为 PSoC 器件提供全面集成的编程和调试支持。低成本的 MiniProg3 编程器和调试器的目的是与 PSoC Creator IDE 结合使用，为 PSoC 器件提供全面的编程和调试支持。 PSoC JTAG、SWD 和 SWV 接口均与行业标准的第三方工具全面兼容。

所有 DOC 电路在默认情况下均处于禁用状态，并且只能在固件中被使能。如果未使能，唯一的重新使能方法是擦除整个器件，清除闪存保护，然后用新固件对器件进行重新编程，以便使能 DOC。禁用 DOC 功能、强大的闪存保护以及在 PSoC 器件中隐藏定制模拟和数字功能，能实现多芯片应用解决方案不可能达到的安全级别。此外，对于通过对器件恶意重新编程进行欺诈性攻击的应用，可以永久禁用所有器件接口 （器件安全性）。在大多数应用中，不建议永久禁用接口，因为这样一来，您将无法对器件进行访问。由于在使能器件安全性 （Device Security）之后，会禁用所有编程、调试和测试接口，因此已使能器件安全性的 PSoC 将不能退回进行失效分析。

表 9-1. 调试配置

调试与跟踪配置	GPIO 占用数
所有调试和跟踪均被禁用	0
JTAG	4 或 5
SWD	2
SWV	1
SWD + SWV	3

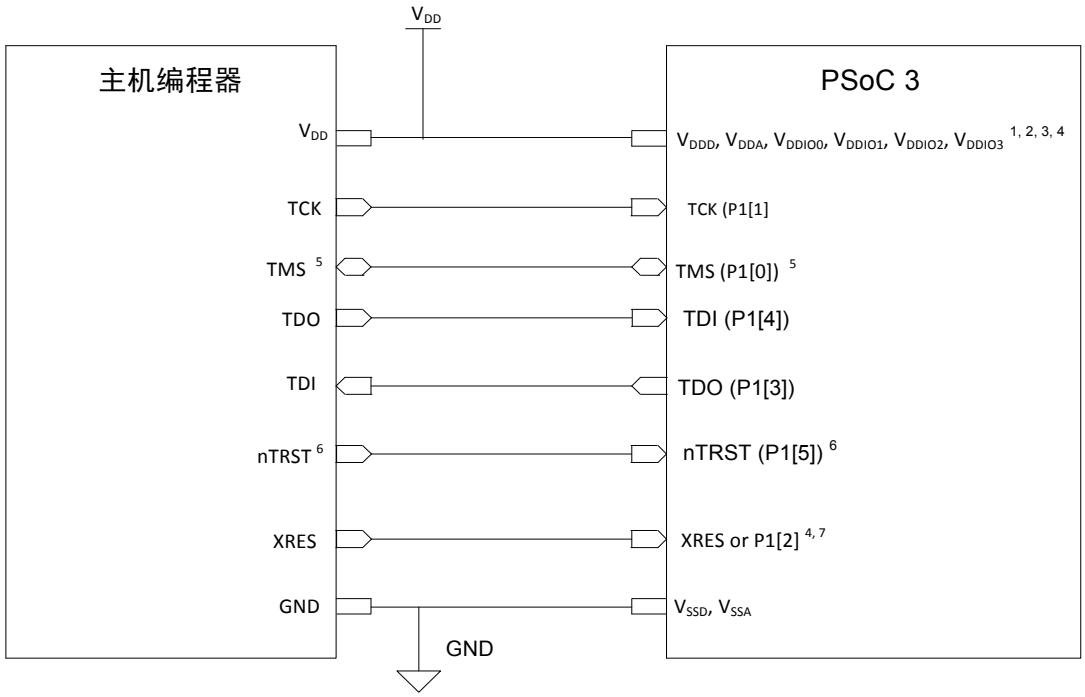
9.1 JTAG 接口

符合 IEEE 1149.1 标准的 JTAG 接口位于四个或五个引脚上（nTRST 引脚是可选的）。JTAG 接口用于闪存编程、调试、I/O 扫描链路，以及 JTAG 器件链接。

PSoC 3 通过 JTAG 接口进入编程模式时，需要满足一些特定的时序要求。由于这些时序要求，并不是所有标准 JTAG 编程器或标准 JTAG 文件格式 （如 SVF 或 STAPL），都可以支持 PSoC 3 编程特性。在 http://www.cypress.com/go/programming 网站上提供支持 PSoC 3 编程的编程器系列。

JTAG 时钟频率最高可达到 14 MHz，或 CPU 时钟频率的 1/3（8 位和 16 位传输），或 CPU 时钟频率的 1/5 （32 位传输）。默认情况下，新器件上的 JTAG 引脚处于使能状态，但可以禁用 JTAG 接口，以便将这些引脚作为通用 I/O （GPIO）使用。

图 9-1. PSoC 3 和编程器之间的 JTAG 接口连接



[1] 主机编程器的电压电平需要位于编程PSoC 3时所涉及到的电压范围内。端口1 JTAG引脚和XRES引脚（XRES_N或P1[2]）均由V_{DDIO1}供电。因此，PSoC 3的V_{DDIO1}要等于主机的电压电平V_{DD}。PSoC 3的其他电压范围（V_{DDD}、V_{DDA}、V_{DDIO0}、V_{DDIO2}、V_{DDIO3}）无需等于主机编程器的电压。

[2] Vdda必须不小于PSoC 3中所有其他电源电压（Vddd、Vddio）。

[3] 在电源循环模式下进行编程时，则不需要XRES引脚。但是主机编程器必须能够为PSoC 3切换电源（Vddd、Vdda、所有Vddio的）。通常会需要使用外部接口电路来切换电源，具体情况取决于编程的设置。供电电源可以按照任意序列上电，但稳定后，VDDA 必须不小于所有其他电源。

[4] 对于JTAG编程，通过使用PSoC 3的TMS、TCK、TDI、TDO引脚并将其写入到特定的寄存器内，也可以复位器件而不需要连接到XRES引脚或电源周期模式。但是，NVL中的DPS设置不能等于“Debug Ports Disabled”（调试端口禁用）的设置。

[5] 除非用户更改了DPS设置，否则在默认情况下，PSoC 3被配置为4线JTAG模式。因此，TMS引脚是单向的。但如果DPS不被配置为JTAG模式，则JTAG中的TMS引脚是双向的，因为需要使用SWD协议才能得到原始的PSoC 3器件。从SWD模式切换为JTAG模式后，TMS引脚变为单向的。此时，TMS线上不能使用单向缓冲区。

[6] 由于默认设置为4线JTAG（nTRST被禁用），所以首次编程PSoC 3期间，不能使用nTRST JTAG引脚（P1[5]）来复位JTAG TAP控制器。

[7] 如果主机使用了XRES引脚，则仅能将P1[2]默认配置为48引脚器件（没有专用XRES引脚）的XRES。对于具有专用XRES引脚的器件，P1[2]默认配置为GPIO。因此，仅针对48引脚的器件将P1[2]作为复位引脚；对于其他器件都用XRES。

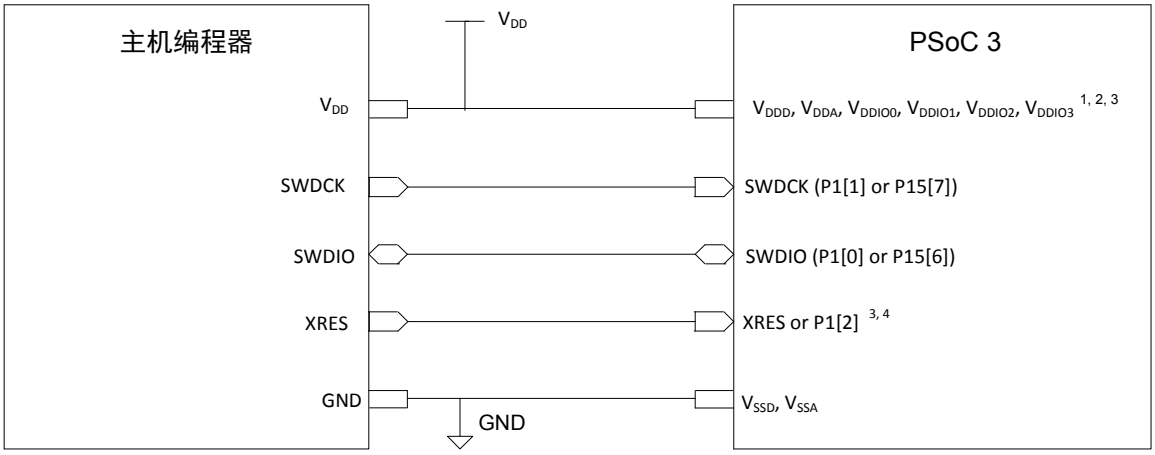
9.2 串行线调试接口

SWD 接口是 JTAG 接口的首选替代接口。该接口只需要两个引脚，而 JTAG 接口需要四个或五个引脚。SWD 能够提供 JTAG 接口的所有编程和调试特性，并且运行速度相同。但 SWD 没有提供对扫描链或器件链路的访问功能。 SWD 时钟频率最高可以达到 CPU 时钟频率的 1/3。

SWD 使用两个引脚，可以是两个 JTAG 引脚 （TMS 和 TCK），也可以是 USBIO D+ 和 D- 引脚。 USBIO 引脚对于 USB 解决方案的系统编程非常有用，如果没有 USBIO 引脚，则需要使用单独的编程连接器。其中一个引脚用于数据时钟，另一个用于数据输入和输出。在任意时间都只能在一个引脚对上使能 SWD。引脚对（JTAG 或 USB）必须在复位后的 8 µs（“ 关键窗口 ” 时间）内收到一个 1s 和 0s 的预定序列时，才会使能 SWD。 SWD 用于调试或编程闪存存储器。

可以通过 JTAG 接口来使能 SWD 接口，也可以禁用 SWD 接口，以便将其引脚作为 GPIO 使用。与 JTAG 接口不同， SWD 接口可以在 “ 关键窗口 ” 时间内随时从任意器件上重新获取。随后，即可用于重新使能 JTAG 接口 （如果需要）。将 SWD 或 JTAG 引脚作为标准 GPIO 使用时，请确保 GPIO 功能和 PCB 电路不会对 SWD 和 JTAG 的使用造成干扰。

图 9-2. PSoC 3 和编程器之间的 SWD 接口连接



[1] 主机编程器的电压电平需要位于编程PSoC 3时所涉及到的电压范围内。XRES引脚（XRES_N或P1[2]）由V_{DDIO1}供电。USB SWD引脚由V_{DDD}供电。因此，使用USB SWD引脚和XRES引脚进行编程时，PSoC 3的V_{DDD}、V_{DDIO1}要等于主机的电压电平V_{DD}。PSoC 3的其他电压（V_{DDA}、V_{DDIO0}、V_{DDIO2}、V_{DDIO3}）无需等于主机编程器的电压。端口1 SWD引脚都由V_{DDIO1}供电。因此，使用端口1 SWD进行编程时，PSoC 3的V_{DDIO1}需要等于主机的V_{DD}电压。PSoC 3的其他电压（ V_{DDD}、V_{DDA}、V_{DDIO0}、V_{DDIO2}、V_{DDIO3}）无需等于主机编程器的电压。

[2] Vdda必需不小于PSoC 3中所有其他电源电压（Vddd、Vddio）。

[3] 如果在电源循环模式下进行编程，则不需要使用XRES引脚。但主机编程器必需能够为PSoC 3切换电源（Vddd、Vdda、所有Vddio的）。通常需要使用外部接口电路来切换电源，具体情况取决于编程的设置。供电电源可以按照任意序列上电，但稳定后，VDDA 必须不小于所有其他电源电压。

[4] 能将P1[2]默认配置为48引脚器件（没有专用XRES引脚）的XRES。对于具有专用XRES引脚的器件，P1[2]默认配置为GPIO。因此，仅针对48引脚的器件将P1[2]作为复位引脚；对于其他器件都使用专用的XRES引脚。

9.3 调试功能

使用 JTAG 或 SWD 接口时， CY8C32 支持以下调试功能：

- 暂停和单步执行 CPU
- 查看和更改 CPU 与外设寄存器，以及 RAM 地址
- 八个程序地址断点
- 一个存储器访问断点 — 可打断任意存储器地址和数据值的读写操作
- 打断断点序列 （非递归）
- 全速调试 CPU
- 同 PSoC Creator 和 MiniProg3 编程器和调试器相兼容
- 标准的 JTAG 编程和调试接口使得 CY8C32 能够与其他流行的第三方工具 （如 ARM/Keil）兼容

9.4 跟踪特性

使用 JTAG 或 SWD 时， CY8C32 支持以下跟踪功能：

- 跟踪 8051 程序计数器 （PC）、累加器寄存器 （ACC）以及单个 SFR/8051 内核 RAM 寄存器
- 如果跟踪所有寄存器，跟踪可达1000条指令；如果只跟踪PC，则跟踪可达 2000 条指令 （在含跟踪存储器的器件上）
- 程序地址触发器，用于启动跟踪功能
- 跟踪范围设定，即仅当 PC 位于给定范围之内时进行跟踪
- 两种处理 “ 跟踪缓冲区已满 ” 情况的模式：当跟踪缓冲区已满时，继续 （覆盖最早的跟踪数据）或中断跟踪

9.5 单线浏览器接口

SWV 接口与 SWD 紧密关联，但也可以独立使用。 SWV 数据是 JTAG 接口 TDO 引脚上的输出。如果使用 SWV，则必须针对 SWD 而非 JTAG 配置器件。 JTAG 接口不支持 SWV。

SWV 非常适合进行应用程序调试，有助于固件输出数据 （类似于 PC 上的 ‘printf’ 式调试）。此外， SWV 非常适合进行数据监控，因为它只需要一个引脚，并且可以采用标准的 UART 格式或 Manchester 编码格式输出数据。例如，它可用于调整 PID 控制回路，把其中三个误差项输出和作绘图能够大大简化系数调整工作。

SWV 支持以下功能：

- 32 个虚拟通道，每个通道的长度为 32 位
- 简单有效的包装和序列化协议
- 支持标准的 UART 格式 （N81）

9.6 编程特性

JTAG 和 SWD 接口提供全面的编程支持。可以对整个器件进行擦除、编程和验证。可以通过提高闪存保护级别来保护固件 IP。只有在擦除整个器件后，才能重置闪存保护。如果模块的安全设置允许，可以对个别闪存模块进行擦除、编程和验证。

9.7 器件安全性

PSoC 3 提供了一项名为器件安全性的高级安全性功能，该功能能够永久禁用所有测试、编程和调试端口，从而保护您的应用程序不会遭到来自外部的访问。通过将 32 位密钥（0×50536F43）设置为一次性写锁存器 （Write Once Latch, WOL），可激活器件安全性。

一次性写锁存器是一种非易失性锁存器 （NVL）。该单元本身是一个带附加逻辑的 NVL。每个 WOL 器件包含四个字节（32 位）的数据。如果包装器的绝大多数位（32 位中的 28 位）与预定模式 （0×50536F43）匹配，则它会输出 “1” ；如果达不到绝大多数，则会输出 “0” 。输出为 1 时，一次性写非易失性锁存器会锁定未处于调试和测试模式的器件；此外，它还会永久禁用擦除或更改锁存器内容的功能。由于不需要刻意匹配所有位，因此单个或少数位不匹配不会把 WOL 输出置为无效。晶圆处理后的 NVL 位状态是完全随机的，不会集中趋向 1 或 0。

只有将正确的 32 位密钥 （0x50536F43）负载到 NVL 的易失性存储器中，编程到 NVL 的非易失性单元中，并将器件复位后，WOL 才能锁定器件。WOL 的输出仅在复位时被采样，并用于禁用访问。此预防措施能够防止任何人读、擦除或更改内部存储器的数据。

仅当未设置闪存保护时，用户才可以将密钥写入到 WOL 中，从而禁止外部访问 （请参见第 24 页上的闪存安全性）。不过，在设置WOL中的值以后，用户在器件复位前仍可以对其进行访问。因此，用户可以将密钥写入到 WOL 中，编程闪存保护数据，然后复位器件以将其锁定。

如果器件受某种 WOL 设置的保护，赛普拉斯将无法执行失效分析，从而无法接受来自客户的 RMA。 WOL 可通过 SWD 端口来读取，从而以电气方式识别受保护的器件。仅当未设置闪存保护时，用户才可以将密钥写入到 WOL 中，从而禁止外部访问。有关如何充分利用 PSoC 安全性功能的详细信息，请参见 PSoC 3 技术参考手册。

免责声明

请注意下面同赛普拉斯器件的闪存代码保护功能有关的详细信息。

赛普拉斯产品符合相应的赛普拉斯数据手册中所包含的规范。赛普拉斯坚信，不论如何使用，其产品系列的安全性在目前市场上的同类产品中始终名列前矛。目前可能存在一些赛普拉斯不了解的，能够破坏代码保护功能的方法。据我们所知，任何此类方法都是不正当的，甚至可能是违法的。不只是赛普拉斯，任何其他半导体制造商都无法保证各自代码的安全性。代码保护并非意味着我们保证产品 “ 坚不可摧 ” 。

赛普拉斯非常希望能够与关注其代码完整性的客户通力合作。代码保护技术正在不断发展。持续改进产品的代码保护功能是赛普拉斯的不懈追求。

9.8 CSP 封装 Bootloader

所有提供 CSP 封装的器件都包含一个在工厂安装的 Bootloader 程序。Bootloader 与 PSoC Creator 3.0 bootloadable 项目文件相兼容，并具有以下特性：

- 基于 I^2C
- SCLK 和 SDAT 分别位于 P1[6] 和 P1[7] 引脚上
- 需要使用外部上拉电阻
- I^2C 从设备、地址 4、数据速率 = 100 kbps
- 单个应用
- 等待 2 秒后才执行引导加载指令
- 其他 bootloader 选项都是 PSoC Creator 3.0 所设置的 Bootloader 组件的默认值
- 占用闪存底部大小的 9 K

如需更多有关 bootloader 的信息，请查阅以下的赛普拉斯应用笔记：

- AN89611：PSoC® 3 与 PSoC 5LP — 芯片级封装（CSP）入门
- AN73854: PSoC 3 和 PSoC 5 LP Bootloader 说明
- AN60317：PSoC 3 和 PSoC 5 LP I^2C Bootloader

请注意，一个 PSoC Creator Bootloadable 项目必须与一个 Bootloader 项目的 .hex 和 .elf 文件相联系，该 Bootloader 项目已设定为目标器件。“Bootloader .hex” 和 “.elf” 文件可在 www.cypress.com/go/PSoC3datasheet 网站上找到。

可以使用 JTAG 或 SWD 编程来覆盖工厂安装的 Bootloader。

10. 开发支持

CY8C32 系列具有一系列丰富的文档、开发工具和在线资源，能够在开发过程中为您提供帮助。要了解更多信息，请访问 psoc.cypress.com/getting-started。

10.1 文档

一套文档，为 CY8C32 系列提供支持，以确保您可以快速找到问题的答案。本节列出了部分关键文档。

软件用户指南：介绍了有关使用 PSoC Creator 的流程。该指南详细介绍了 PSoC Creator 项目的构建流程、如何将源控件与 PSoC Creator 结合使用等信息。

组件数据手册：PSoC 非常灵活，在投入生产很长时间后依然可以创建新的外设（组件）。组件数据手册提供了选择和使用特定组件所需的全部信息，其中包括功能说明、API 文档、示例代码以及交流 / 直流规范。

应用笔记：PSoC 应用笔记深入讨论了 PSoC 的特定应用，例如无刷直流电机控制和片上滤波。除了应用笔记文档之外，应用笔记通常还包括示例项目。

技术参考手册：技术参考手册（TRM）包含使用 PSoC 器件所需的全部技术细节，其中包括所有 PSoC 寄存器的完整说明。

10.2 在线资源

除了印刷文档之外，您还可以随时通过赛普拉斯 PSoC 论坛，与世界各地的 PSoC 用户和专家进行交流。

10.3 工具

CY8C32 系列具备工业标准的内核、编程和调试接口，是开发工具体系的一个组成部分。有关易于使用的创新型 PSoC Creator IDE、所支持的第三方编译器、编程器、调试器和开发工具包的最新信息，请访问我们的网站 www.cypress.com/go/psoccreator 。

11. 电气规范

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C、T_J ≤ 100 °C 且电压范围为 1.71 V ~ 5.5 V。PSoC UDB 和模拟模块具有独特的灵活性，这使得许多功能都可以在 PSoC Creator 组件中实现。有关各个功能的完整直流 / 交流规范，请参考组件数据手册。有关 PSoC Creator 组件的进一步说明，请参考第 45 页上的外设示例一节中介绍的内容。

11.1 最大绝对额定值

表 11-1. 最大绝对额定值直流规范 [15]

参数	说明	条件	最小值	典型值	最大值	单位
V_{DDA}	相对于 V_{SSA} 的模拟供电电压		–0.5	–	6	V
V_{DDD}	相对于 V_{SSD} 的数字供电电压		–0.5	–	6	V
V_{DDIO}	相对于 V_{SSD} 的 I/O 供电电压		–0.5	–	6	V
V_{CCA}	直接模拟内核电压输入		–0.5	–	1.95	V
V_{CCD}	直接数字内核电压输入		–0.5	–	1.95	V
V_{SSA}	模拟地电压		V_{SSD} –0.5	–	V_{SSD} + 0.5	V
V_{GPIO}[16]	GPIO 的直流输入电压	包括源自 V_{DDA} 并内部路由至引脚的信号	V_{SSD} –0.5	–	V_{DDIO} + 0.5	V
V_{SIO}	SIO 的直流输入电压	输出禁用	V_{SSD} –0.5	–	7	V
		输出使能	V_{SSD} –0.5	–	6	V
V_{IND}	升压转换器输入端电压		0.5	–	5.5	V
V_{BAT}	升压转换器供电电压		V_{SSD} –0.5	–	5.5	V
I_{VDDIO}	每个 V_{DDIO} 供电引脚的电流		–	–	100	mA
I_{GPIO}	GPIO 电流		–30	–	41	mA
I_{SIO}	SIO 电流		–49	–	28	mA
I_{USBIO}	USBIO 电流		–56	–	59	mA
VEXTREF	ADC 外部参考输入	引脚 P0[3]、 P3[2]	–	–	2	V
LU	闩锁电流 [17]		–140	–	140	mA
ESD_{HBM}	静电放电电压，人体模型	V_{SSA} 连接到 V_{SSD}	2200	–	–	V
		V_{SSA} 未连接到 V_{SSD}	750	–	–	V
ESD_{CDM}	静电放电电压，充电器件模型		500	–	–	V

注释：
15. 器件在高于表 11-1 中所列出的最大绝对值工作可能会造成永久性的损害。长期使用最大绝对值工作可能会影响器件的可靠性。最大存储温度是 150 °C，并符合 JEDEC 标准 JESD22-A103 — 高温度存储寿命。如果采用的值低于最大绝对值但高于正常值，则器件不能正常工作。
16. V_{DDIO} 供电电压必须大于相关 GPIO 引脚上的最大电压。 GPIO 引脚上的最大电压 ≤ V_{DDIO} ≤ V_{DDA}。
17. 符合或超过 JEDEC 规范 EIA/JESD78 IC 锁存测试。

11.2 器件级规范

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C， T_J ≤ 100 °C 且电压范围为 1.71 V ~ 5.5 V。

11.2.1 器件级规范

表 11-2. 直流规范

参数	说明	条件		最小值	典型值 [22]	最大值	单位
V_{DDA}	模拟供电电压和模拟内核电压调节器的输入	模拟内核电压调节器被使能		1.8	–	5.5	V
V_{DDA}	模拟供电电压 （旁路模拟电压调节器）	模拟内核电压调节器被禁用		1.71	1.8	1.89	V
V_{DDD}	相对于 V_{SSD} 的数字供电电压	数字内核电压调节器被使能		1.8	–	V_{DDA}[18]	V
V_{DDD}	数字供电电压 （旁路数字电压调节器）	数字内核电压调节器被禁用		1.71	1.8	1.89	V
V_{DDIO}[19]	相对于 V_{SSIO} 的 I/O 供电电压			1.71	–	V_{DDA}[18]	V
V_{CCA}	直接模拟内核电压输入 （旁路模拟电压调节器）	模拟内核电压调节器被禁用		1.71	1.8	1.89	V
V_{CCD}	直接数字内核电压输入 （旁路数字电压调节器）	数字内核电压调节器被禁用		1.71	1.8	1.89	V
I_{DD} [20、 21]	**活动模式**						
	仅使能 IMO 和 CPU 时钟。 CPU 从指令缓冲区执行简单环路。	V_{DDX} = 2.7 V – 5.5 V； F_{CPU} = 6 MHz[23]	T = –40 °C	–	1.2	2.9	mA
			T = 25 °C	–	1.2	3.1	
			T = 85 °C	–	4.9	7.7	
	使能了 IMO、总线时钟和 CPU 时钟。 CPU 执行闪存中的程序。	V_{DDX} = 2.7 V – 5.5 V； F_{CPU} = 3 MHz[23]	T = –40 °C	–	1.3	2.9	
			T = 25 °C	–	1.6	3.2	
			T = 85 °C	–	4.8	7.5	
		V_{DDX} = 2.7 V – 5.5 V； F_{CPU} = 6 MHz	T = –40 °C	–	2.1	3.7	
			T = 25 °C	–	2.3	3.9	
			T = 85 °C	–	5.6	8.5	
		V_{DDX} = 2.7 V – 5.5 V； F_{CPU} = 12 MHz[23]	T = –40 °C	–	3.5	5.2	
			T = 25 °C	–	3.8	5.5	
			T = 85 °C	–	7.1	9.8	
		V_{DDX} = 2.7 V – 5.5 V； F_{CPU} = 24 MHz[23]	T = –40 °C	–	6.3	8.1	
			T = 25 °C	–	6.6	8.3	
			T = 85 °C	–	10	13	
		V_{DDX} = 2.7 V – 5.5 V； F_{CPU} = 48 MHz[23]	T = –40 °C	–	11.5	13.5	
			T = 25 °C	–	12	14	
			T = 85 °C	–	15.5	18.5	

注释：

18. 供电电源可以任意序列上电，但稳定之后， V_{DDA} 必须大于或等于所有其他电源。
19. V_{DDIO} 供电电压必须大于相关 GPIO 引脚上的最大电压。 GPIO 引脚上的最大电压 ≤ V_{DDIO} ≤ V_{DDA}。
20. 所有电域的总电流：数字 （I_{DDD}）、模拟 （I_{DDA}），以及 I/O （$I_{DDIO0, 1, 2, 3}$）。不包括升压 （Boost）。所有 I/O 均悬空。
21. 对于仅在已编程逻辑模块中实现的附加外设，其电流消耗可以在它们各自的数据手册 （位于集成设计环境 PSoC Creator 中）中查到。要估计总电流，请从器件数据手册和组件数据手册中查找相应频率下的 CPU 电流，并加上特定系统的外设电流。
22. V_{DDX} = 3.3 V。
23. 基于器件特性 （未经过生产测试）。

表 11-2. 直流规范 （续）

参数	说明	条件		最小值	典型值 [22]	最大值	单位
	睡眠模式 [24]						
	CPU = 关闭 RTC = 开启 （= ECO32K 开启，处于低功耗模式） 睡眠定时器 = 开启 （= ILO 开启，频率为 1 kHz） [25] WDT = 关闭 I^2C 唤醒 = 关闭 电压比较器 = 关闭 POR = 开启 Boost = 关闭 SIO 引脚处于 “ 单端输入、非稳压输出 ” 模式	$V_{DD} = V_{DDIO}$ = 4.5 V - 5.5 V	T = –40 °C	–	1.1	2.3	µA
			T = 25 °C	–	1.1	2.2	
			T = 85 °C	–	15	30	
		$V_{DD} = V_{DDIO}$ = 2.7 V – 3.6 V	T = –40 °C	–	1	2.2	
			T = 25 °C	–	1	2.1	
			T = 85 °C	–	12	28	
		$V_{DD} = V_{DDIO}$ = 1.71 V – 1.95 V[26]	T = 25 °C	–	2.2	4.2	
	电压比较器 = 开启 CPU = 关闭 RTC = 关闭 睡眠定时器 = 关闭 WDT = 关闭 I^2C 唤醒 = 关闭 POR = 开启 Boost = 关闭 SIO 引脚处于 “ 单端输入、非稳压输出 ” 模式	$V_{DD} = V_{DDIO}$ = 2.7 V – 3.6 V[27]	T = 25 °C	–	2.2	2.7	
	I^2C 唤醒 = 开启 CPU = 关闭 RTC = 关闭 睡眠定时器 = 关闭 WDT = 关闭 电压比较器 = 关闭 POR = 开启 Boost = 关闭 SIO 引脚处于 “ 单端输入、非稳压输出 ” 模式	$V_{DD} = V_{DDIO}$ = 2.7 V – 3.6 V[27]	T = 25 °C	–	2.2	2.8	
	休眠模式 [24]						
	休眠模式电流 所有电压调节器和振荡器均关闭 SRAM 保持数据 GPIO 中断处于活动状态 Boost = 关闭 SIO 引脚处于 “ 单端输入、非稳压输出 ” 模式	$V_{DD} = V_{DDIO}$ = 4.5 V - 5.5 V	T = –40 °C	–	0.2	1.5	µA
			T = 25 °C	–	0.5	1.5	
			T = 85 °C	–	4.1	5.3	
		$V_{DD} = V_{DDIO}$ = 2.7 V – 3.6 V	T = –40 °C	–	0.2	1.5	
			T = 25 °C	–	0.2	1.5	
			T = 85 °C	–	3.2	4.2	
		$V_{DD} = V_{DDIO}$ = 1.71 V – 1.95 V[26]	T = –40 °C	–	0.2	1.5	
			T = 25 °C	–	0.3	1.5	
			T = 85 °C	–	3.3	4.3	
I_{DDAR}	器件复位时的模拟电流消耗 [28]	$V_{DDA} \le 3.6$ V		–	0.3	0.6	mA
		$V_{DDA} > 3.6$ V		–	1.4	3.3	mA
I_{DDDR}	器件复位时的数字电流消耗 [28]	$V_{DDD} \le 3.6$ V		–	1.1	3.1	mA
		$V_{DDD} > 3.6$ V		–	0.7	3.1	mA

图 11-1. 活动模式电流与 F_{CPU}， V_{DD} = 3.3 V，温度 = 25 °C

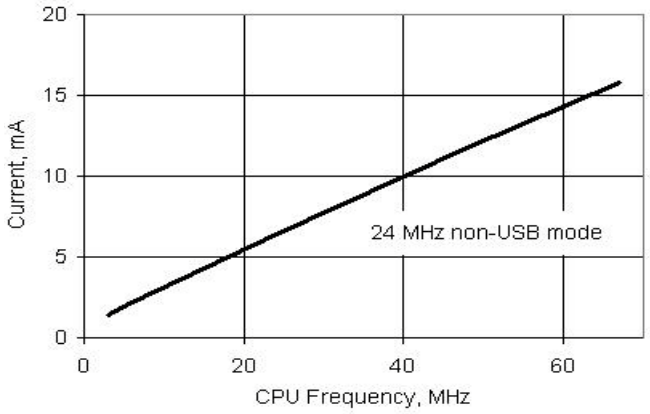


图 11-2. 活动模式电流与温度和 F_{CPU}， V_{DD} = 3.3 V

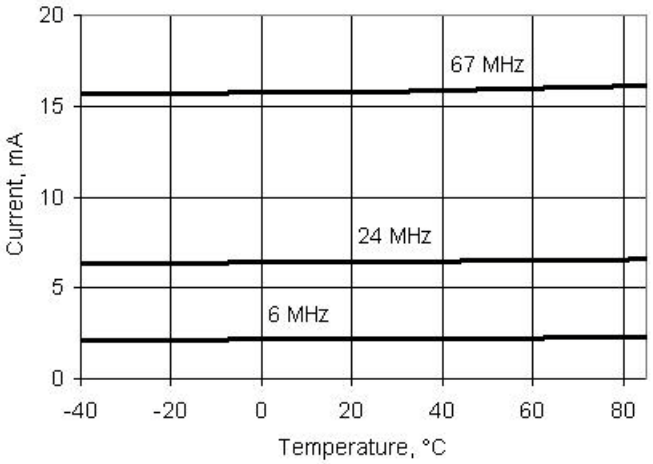
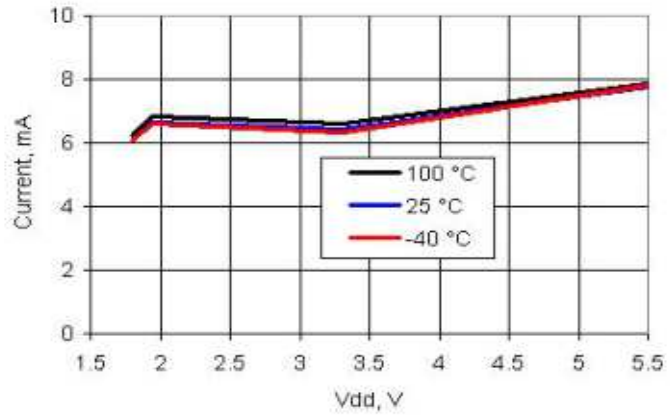


图 11-3. 活动模式电流与 V_{DD} 和温度， F_{CPU} = 24 MHz



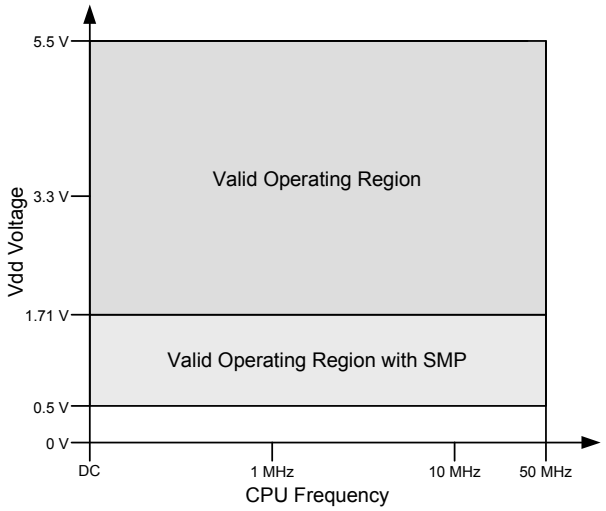
注释：

24. 如果对 V_{CCD} 和 V_{CCA} 进行外部稳压调节，则 V_{CCD} 与 V_{CCA} 之间的电压差必须小于 50 mV。
25. 睡眠定时器会生成定期中断，以便唤醒 CPU。该规范仅适用于 CPU 处于关闭状态的时间段。
26. 外部稳压模式。
27. 基于器件特性表征 （未经过生产测试）。
28. 基于器件特性表征 （未经过生产测试）。 USBIO 引脚已接地 （V_{SSD}）。

表 11-3. 交流规范 [29]

参数	说明	条件	最小值	典型值	最大值	单位
F_{CPU}	CPU 频率	1.71 V ≤ V_{DDD} ≤ 5.5 V	DC	–	50.01	MHz
F_{BUSCLK}	总线频率	1.71 V ≤ V_{DDD} ≤ 5.5 V	DC	–	50.01	MHz
Svdd	V_{DD} 上电速率		–	–	0.066	V/µs
T_{IO_INIT}	从 V_{DDD}/V_{DDA}/V_{CCD}/V_{CCA} ≥ IPOR 到 I/O 端口被设为复位状态经过的时间		–	–	10	µs
$T_{STARTUP}$	从 V_{DDD}/V_{DDA}/V_{CCD}/V_{CCA} ≥ PRES 到 CPU 执行复位向量处的代码的时间	V_{CCA}/V_{CCD} = 从 V_{DDA}/V_{DDD} 电压进行稳压调节，未使用 PLL， IMO 升压模式 （典型值为 12 MHz）	–	–	74	µs
T_{SLEEP}	从睡眠模式唤醒 （即发生非 LVD 中断）到开始执行下一条 CPU 指令之间的时长		–	–	15	µs
$T_{HIBERNATE}$	从休眠模式唤醒 （即发生外部中断）到开始执行下一条 CPU 指令的时长		–	–	100	µs

图 11-4. F_{CPU} 与 V_{DD}



注释：
29. 基于器件特性 （未经过生产测试）。

11.3 电源调节器

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C， T_J ≤ 100 °C 且电压范围为 1.71 V ~ 5.5 V。

11.3.1 数字系统内核电压调节器

表 11-4. 数字系统内核调节器直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{DDD}	输入电压		1.8	–	5.5	V
V_{CCD}	输出电压		–	1.80	–	V
	电压调节器输出电容	±10%， X5R 陶瓷或性能更好的电容。两个 V_{CCD} 引脚必须连接在一起，并且它们之间的线路越短越好，请参见 第 31 页上的供电系统	–	1	–	µF

图 11-5. 电压调节器 V_{CC} 与 V_{DD}

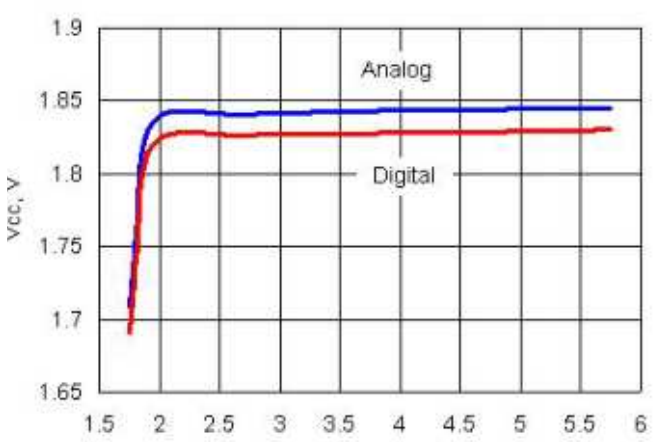
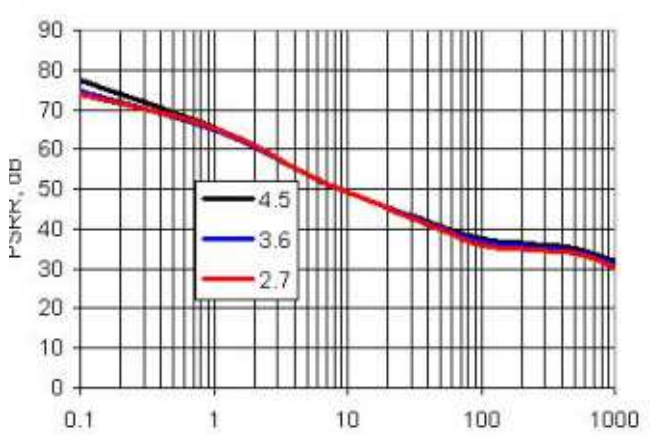


图 11-6. 数字系统电压调节器 PSRR 与频率和 V_{DD}

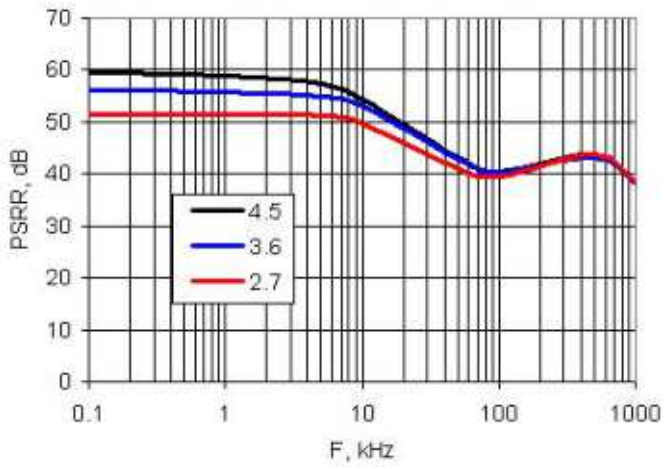


11.3.2 模拟系统内核电压调节器

表 11-5. 模拟系统内核电压调节直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{DDA}	输入电压		1.8	–	5.5	V
V_{CCA}	输出电压		–	1.80	–	V
	调节器输出电容	±10%， X5R 陶瓷或性能更好的电容	–	1	–	µF

图 11-7. 模拟系统电压调节器 PSRR 与频率和 V_{DD}



11.3.3 电感升压调节器。

除非另有说明，否则这些规范的工作条件是：V_{BAT} = 0.5 V–3.6 V， V_{OUT} = 1.8 V–5.0 V， I_{OUT} = 0 mA–50 mA，L_{BOOST} = 4.7 µH–22 µH，C_{BOOST} = 22 µF || 3 × 1.0 µF || 3 × 0.1 µF，C_{BAT} = 22 µF，I_F = 1.0 A（除 72-CSP 封装外）。有关 72-CSP 封装中采用升压功能的信息，请联系赛普拉斯支持。除非另有说明，否则所有图表中的值均为典型值。

表 11-6. 电感升压调节器直流规范

参数	说明	条件		最小值	典型值	最大值	单位
V_{OUT}	升压器输出电压 [30]	在 BOOST_CR0 寄存器中， vsel = 1.8 V		1.71	1.8	1.89	V
		在 BOOST_CR0 寄存器中， vsel = 1.9 V		1.81	1.90	2.00	V
		在 BOOST_CR0 寄存器中， vsel = 2.0 V		1.90	2.00	2.10	V
		在 BOOST_CR0 寄存器中， vsel = 2.4 V		2.16	2.40	2.64	V
		在 BOOST_CR0 寄存器中， vsel = 2.7 V		2.43	2.70	2.97	V
		在 BOOST_CR0 寄存器中， vsel = 3.0 V		2.70	3.00	3.30	V
		在 BOOST_CR0 寄存器中， vsel = 3.3 V		2.97	3.30	3.63	V
		在 BOOST_CR0 寄存器中， vsel = 3.6 V		3.24	3.60	3.96	V
		在 BOOST_CR0 寄存器中， vsel = 5.0 V		4.50	5.00	5.50	V
V_{BAT}	升压输入电压 [31]	I_{OUT} = 0 mA–5 mA	vsel = 1.8 V–2.0 V，T_A = 0 °C–70 °C	0.5	–	0.8	V
		I_{OUT} = 0 mA–15 mA	vsel = 1.8 V–5.0 V[32]，T_A = –10 °C – 85 °C	1.6	–	3.6	V
		I_{OUT} = 0 mA–25 mA	vsel = 1.8 V–2.7 V，T_A = –10 °C – 85 °C	0.8	–	1.6	V
		I_{OUT} = 0 mA–50 mA	vsel = 1.8 V–3.3 V[32]，T_A = –40 °C – 85 °C	1.8	–	2.5	V
			vsel = 1.8 V–3.3 V[32]，T_A = –10 °C – 85 °C	1.3	–	2.5	V
			vsel = 2.5 V–5.0 V[32]，T_A = –10 °C – 85 °C	2.5	–	3.6	V
I_{OUT}	输出电流	T_A = 0 °C–70 °C	V_{BAT} = 0.5 V–0.8 V	0	–	5	mA
		T_A = –10 °C–85 °C	V_{BAT} = 1.6 V–3.6 V	0	–	15	mA
			V_{BAT} = 0.8 V–1.6 V	0	–	25	mA
			V_{BAT} = 1.3 V–2.5 V	0	–	50	mA
			V_{BAT} = 2.5 V–3.6 V	0	–	50	mA
		T_A = –40 °C–85 °C	V_{BAT} = 1.8 V–2.5 V	0	–	50	mA
I_{LPK}	电感峰值电流			–	–	700	mA
I_Q	静态电流	升压活动模式		–	250	–	µA
		升压睡眠模式， I_{OUT} < 1 µA		–	25	–	µA
Reg_{LOAD}	负载调节			–	–	10	%
Reg_{LINE}	线路调节			–	–	10	%

注释：
30. 所列出的 vsel 选项被特性化表示。其他 vsel 选项均有效，并由设计保证。
31. 所有 V_{BAT} 条件有效时 （包括 V_{BAT} 下降至 0.5 V），升压转换器会开始工作。
32. 如果 V_{BAT} 大于或等于 V_{OUT} 升压设置，由于升压电路中的电阻损耗， V_{OUT} 将小于 V_{BAT}。

表 11-7. 升压电路的推荐外部组件

参数	说明	条件	最小值	典型值	最大值	单位
L_{BOOST}	升压电感	额定值为 4.7 µH	3.7	4.7	5.7	µH
		10 µH 额定值	8.0	10.0	12.0	µH
		22 µH 额定值	17.0	22.0	27.0	µH
C_{BOOST}	V_{DDD}、V_{DDA}、V_{DDIO} 的总电容 [33]		17.0	26.0	31.0	µF
C_{BAT}	电池滤波电容		17.0	22.0	27.0	µF
I_F	肖特基（Schottky）二极管的正向电流平均值		1.0	–	–	A
V_R	肖特基反向电压		20.0	–	–	V

图 11-8. 在 V_{BAT} 与 V_{OUT} 范围内的 T_A 值

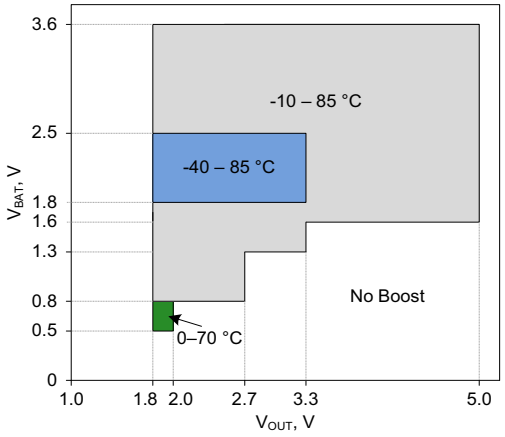


图 11-9. 在 V_{BAT} 与 V_{OUT} 范围内的 I_{OUT} 值

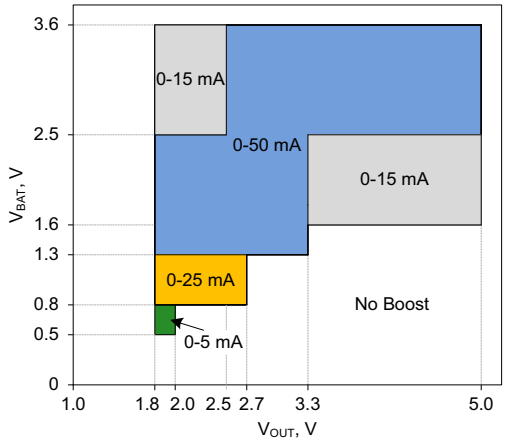
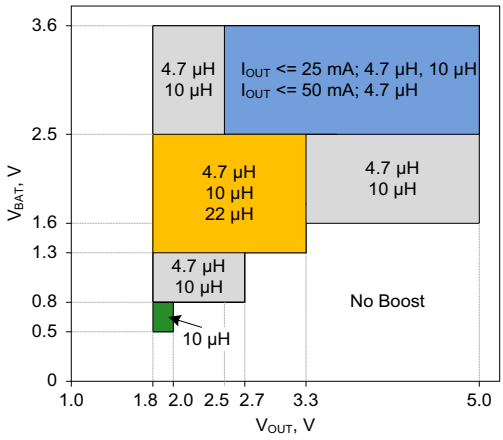


图 11-10. 在 V_{BAT} 与 V_{OUT} 范围内的 L_{BOOST} 值



注释：
33. 基于器件特性（未经过生产测试）。

图 11-11. 效率与 V_{BAT}， L_{BOOST} = 4.7 µH [34]

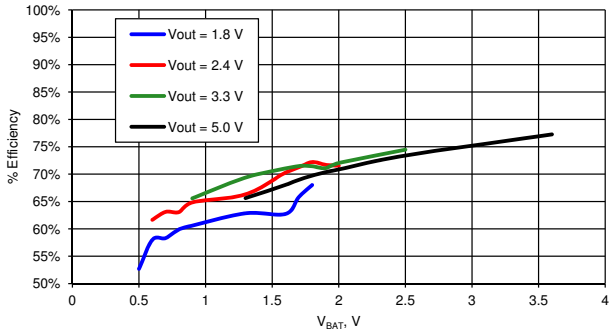


图 11-12. 效率与 V_{BAT}， L_{BOOST} = 10 µH [34]

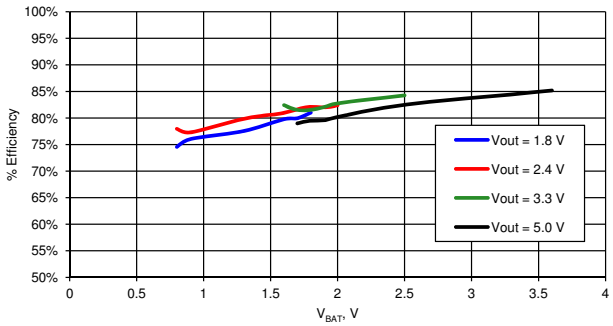


图 11-13. 效率与 V_{BAT}， L_{BOOST} = 22 µH [34]

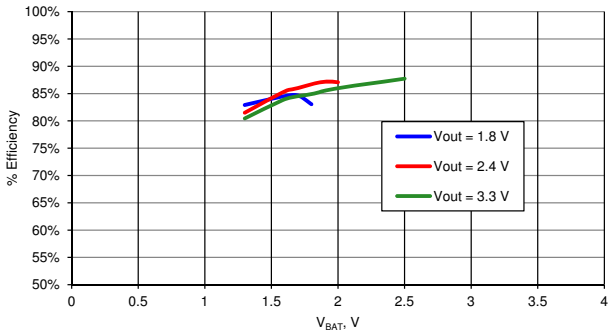
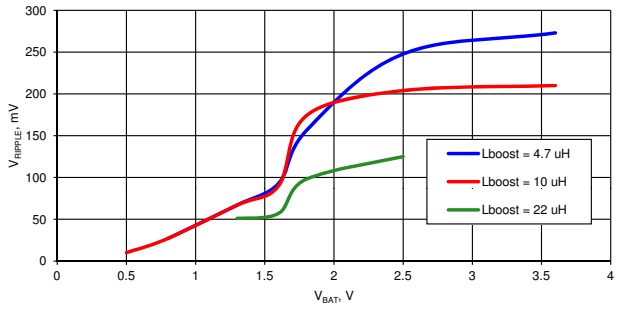


图 11-14. V_{RIPPLE} 与 V_{BAT} [34]



注释：

34. 典型示例。根据外部组件的选择、 PCB 布局以及其它设计参数的不同，实际的值也不一样。

11.4 输入和输出

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C，T_J ≤ 100 °C 且电压范围为 1.71 V ~ 5.5 V。除非另有指定，否则所有图表中的值均为典型值。

当电源上升时，各个 GPIO 引脚及其 V_{DDIO} 电源之间有低阻抗连接。这样会导致引脚电压跟踪 V_{DDIO}，直至 V_{DDIO} 和 V_{DDA} 都达到 IPOR 电压，最高可达 1.45 V。当达到 IPOR 电压时，低阻抗连接不再存在，且引脚更改为其正常 NVL 设置。

11.4.1 GPIO

表 11-8. GPIO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平阈值	CMOS 输入， PRT[×]CTL = 0	0.7 × V_{DDIO}	–	–	V
V_{IL}	输入低电平阈值	CMOS 输入， PRT[×]CTL = 0	–	–	0.3 × V_{DDIO}	V
V_{IH}	输入高电平阈值	LVTTL 输入， PRT[×]CTL = 1，V_{DDIO} < 2.7 V	0.7 × V_{DDIO}	–	–	V
V_{IH}	输入高电平阈值	LVTTL 输入， PRT[×]CTL = 1，V_{DDIO} ≥ 2.7 V	2.0	–	–	V
V_{IL}	输入低电平阈值	LVTTL 输入， PRT[×]CTL = 1，V_{DDIO} < 2.7 V	–	–	0.3 × V_{DDIO}	V
V_{IL}	输入低电平阈值	LVTTL 输入， PRT[×]CTL = 1，V_{DDIO} ≥ 2.7 V	–	–	0.8	V
V_{OH}	输出高电平	当 V_{DDIO} = 3.3 V 时，I_{OH} = 4 mA	V_{DDIO} – 0.6	–	–	V
		当 V_{DDIO} = 1.8 V 时，I_{OH} = 1 mA	V_{DDIO} – 0.5	–	–	V
V_{OL}	输出低电平	当 V_{DDIO} = 3.3 V 时，I_{OL} = 8 mA	–	–	0.6	V
		当 V_{DDIO} = 1.8 V 时，I_{OL} = 4 mA	–	–	0.6	V
		当 V_{DDIO} = 3.3 V 时，I_{OL} = 3 mA	–	–	0.4	V
Rpullup	上拉电阻		3.5	5.6	8.5	kΩ
Rpulldown	下拉电阻		3.5	5.6	8.5	kΩ
I_{IL}	输入漏电流 （绝对值） [35]	25 °C， V_{DDIO} = 3.0 V	–	–	2	nA
C_{IN}	输入电容值 [35]	GPIO 与运算放大器输出、MHz ECO 或 kHzECO 不共享引脚	–	4	7	pF
		GPIO 与 MHz ECO 或 kHzECO 共享引脚 [36]	–	5	7	pF
		GPIO 与运算放大器输出共享引脚	–	–	18	pF
V_H	输入电压迟滞 （施密特触发器） [35]		–	40	–	mV
Idiode	通过保护二极管到达 V_{DDIO} 和 V_{SSIO} 的导通电流		–	–	100	µA
Rglobal	引脚到模拟全局总线的电阻	25 °C， V_{DDIO} = 3.0 V	–	320	–	Ω
Rmux	引脚到模拟复用器总线的电阻	25 °C， V_{DDIO} = 3.0 V	–	220	–	Ω

注释：
35. 基于器件特性 （未经过生产测试）。
36. 有关 PSoC 振荡器的设计信息，请参考应用笔记 AN54439 — PSoC® 3 和 PSoC 5 外部振荡器。

图 11-15. GPIO 输出高电平和电流

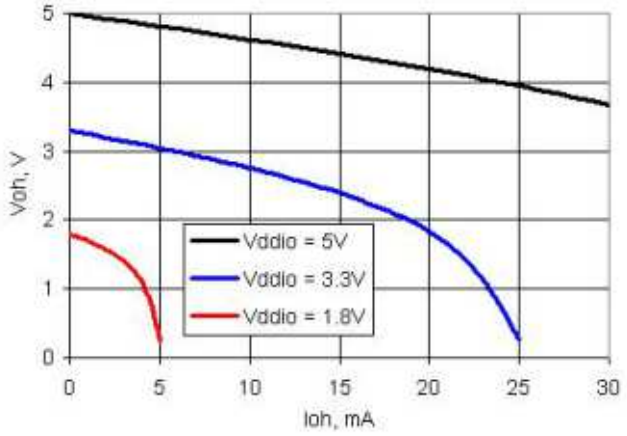


图 11-16. GPIO 输出低电压和电流

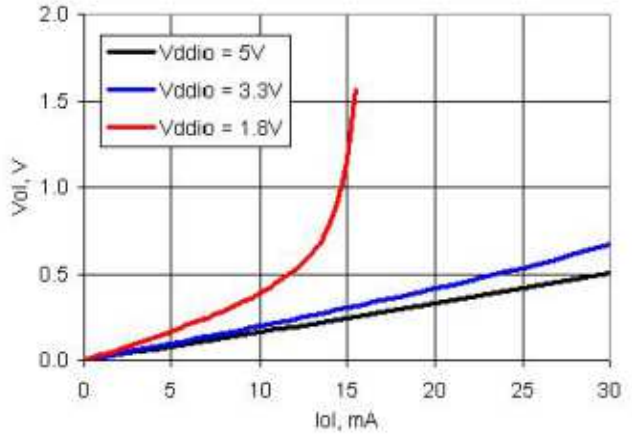


表 11-9. GPIO 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
TriseF	快速强驱动模式下的上升时间 [37]	3.3 V V_{DDIO} Cload = 25 pF	–	–	6	ns
TfallF	快速强驱动模式下的下降时间 [37]	3.3 V V_{DDIO} Cload = 25 pF	–	–	6	ns
TriseS	慢速强驱动模式下的上升时间 [37]	3.3 V V_{DDIO} Cload = 25 pF	–	–	60	ns
TfallS	慢速强驱动模式下的下降时间 [37]	3.3 V V_{DDIO} Cload = 25 pF	–	–	60	ns
Fgpioout	GPIO 输出工作频率					
	2.7 V ≤ V_{DDIO} ≤ 5.5 V，快速强驱动模式	90/10% V_{DDIO}，Cload = 25 pF	–	–	33	MHz
	1.71 V ≤ V_{DDIO} < 2.7 V，快速强驱动模式	90/10% V_{DDIO}，Cload = 25 pF	–	–	20	MHz
	3.3 V ≤ V_{DDIO} ≤ 5.5 V，慢速强驱动模式	90/10% V_{DDIO}，Cload = 25 pF	–	–	7	MHz
	1.71 V ≤ V_{DDIO} < 3.3 V，慢速强驱动模式	90/10% V_{DDIO}，Cload = 25 pF	–	–	3.5	MHz
Fgpioin	GPIO 输入工作频率					
	1.71 V ≤ V_{DDIO} ≤ 5.5 V	90/10% V_{DDIO}	–	–	50	MHz

注释：
37. 基于器件特性 （未经过生产测试）。

11.4.2 SIO

表 11-10. SIO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
Vinmax	最大输入电压	有关 V_{DDIO} 和 V_{DDD} 的所有容许值，请参见 *节 11.1*	–	–	5.5	V
Vinref	输入参考电压 （差分输入模式）		0.5	–	0.52 × V_{DDIO}	V
Voutref	输出参考电压 （稳压输出模式）					
		V_{DDIO} > 3.7	1	–	V_{DDIO} – 1	V
		V_{DDIO} < 3.7	1	–	V_{DDIO} – 0.5	V
V_{IH}	输入高电平阈值					
	GPIO 模式	CMOS 输入	0.7 × V_{DDIO}	–	–	V
	差分输入模式 [38]	禁用迟滞	SIO_ref + 0.2	–	–	V
V_{IL}	输入低电平阈值					
	GPIO 模式	CMOS 输入	–	–	0.3 × V_{DDIO}	V
	差分输入模式 [38]	禁用迟滞	–	–	SIO_ref – 0.2	V
V_{OH}	输出高电平					
	非稳压模式	I_{OH} = 4 mA， V_{DDIO} = 3.3 V	V_{DDIO} – 0.4	–	–	V
	稳压模式 [38]	I_{OH} = 1 mA	SIO_ref – 0.65	–	SIO_ref + 0.2	V
	稳压模式 [38]	I_{OH} = 0.1 mA	SIO_ref – 0.3	–	SIO_ref + 0.2	V
V_{OL}	输出低电平	V_{DDIO} = 3.30 V， I_{OL} = 25 mA	–	–	0.8	V
		V_{DDIO} = 3.30 V， I_{OL} = 20 mA	–	–	0.4	V
		V_{DDIO} = 1.80 V， I_{OL} = 4 mA	–	–	0.4	V
Rpullup	上拉电阻		3.5	5.6	8.5	kΩ
Rpulldown	下拉电阻		3.5	5.6	8.5	kΩ
I_{IL}	输入漏电流 （绝对值） [39]					
	V_{IH} ≤ Vddsio	25 °C， Vddsio = 3.0 V， V_{IH} = 3.0 V	–	–	14	nA
	V_{IH} > Vddsio	25 °C， Vddsio = 0 V， V_{IH} = 3.0 V	–	–	10	µA
C_{IN}	输入电容 [39]		–	–	7	pF
V_H	输入电压迟滞 （施密特触发器） [39]	单端模式 （GPIO 模式）	–	40	–	mV
		差分模式	–	35	–	mV
Idiode	通过保护二极管到达 V_{SSIO} 的导通电流		–	–	100	µA

注释：
38. 有关 SIO 参考的更多信息，请参见第 40 页上的图 6-10 和第 43 页上的图 6-13 。
39. 基于器件特性 （未经过生产测试）。

图 11-17. SIO 输出高电平和电流，非稳压模式

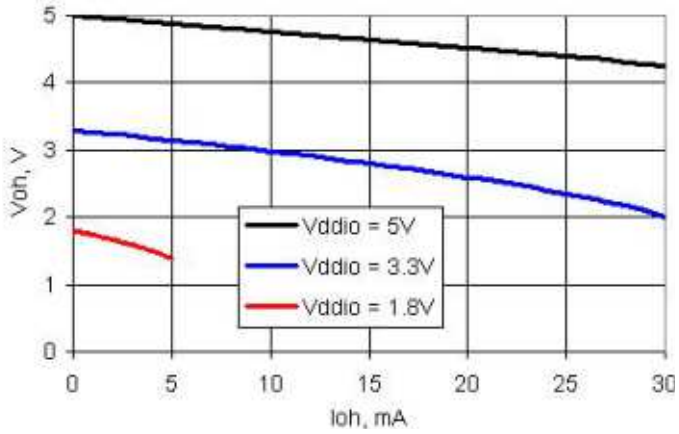


图 11-18. SIO 输出低电平和电流，非稳压模式

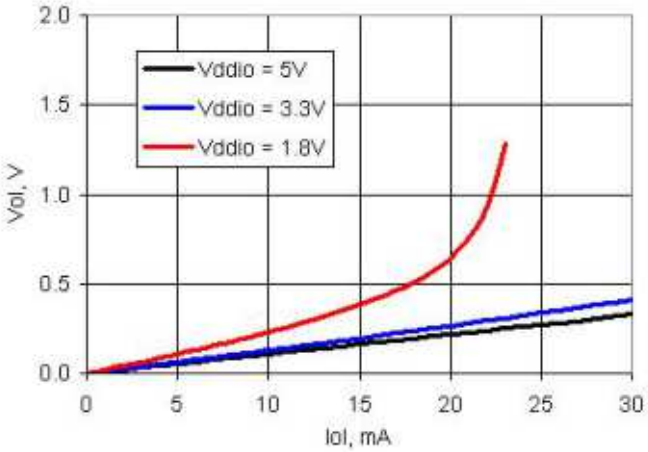


图 11-19. SIO 输出高电平和电流，稳压模式

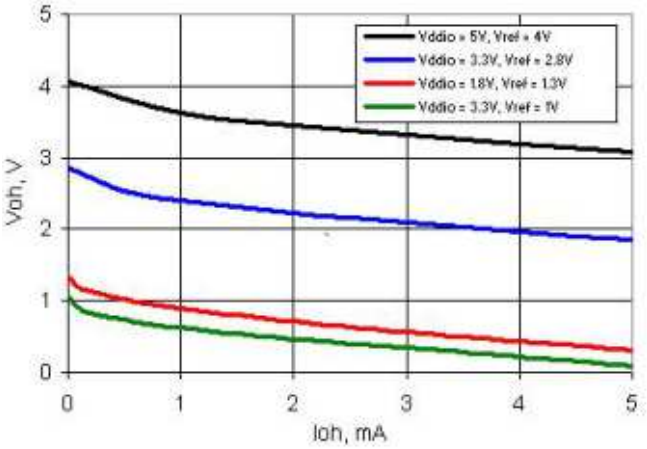


表 11-11. SIO 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
TriseF	快速强驱动模式下的上升时间（90/10%） [40]	Cload = 25 pF， V_{DDIO} = 3.3 V	–	–	12	ns
TfallF	快速强驱动模式下的下降时间（90/10%） [40]	Cload = 25 pF， V_{DDIO} = 3.3 V	–	–	12	ns
TriseS	慢速强驱动模式下的上升时间（90/10%） [40]	Cload = 25 pF， V_{DDIO} = 3.0 V	–	–	75	ns
TfallS	慢速强驱动模式下的下降时间（90/10%） [40]	Cload = 25 pF， V_{DDIO} = 3.0 V	–	–	60	ns

注释：
40. 基于器件特性 （未经过生产测试）。

表 11-11. SIO 交流规范 （续）

参数	说明	条件	最小值	典型值	最大值	单位
Fsioout	SIO 输出工作频率					
	2.7 V < V_{DDIO} < 5.5 V，非稳压输出（GPIO）模式，快速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	33	MHz
	1.71 V < V_{DDIO} < 2.7 V，非稳压输出（GPIO）模式，快速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	16	MHz
	3.3 V < V_{DDIO} < 5.5 V，非稳压输出（GPIO）模式，低速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	5	MHz
	1.71 V < V_{DDIO} < 3.3 V，非稳压输出（GPIO）模式，低速强驱动模式	90/10% V_{DDIO}， Cload = 25 pF	–	–	4	MHz
	2.7 V < V_{DDIO} < 5.5 V，稳压输出模式，快速强驱动模式	输出电能连续转换到大小为 25 pF 的电容器内	–	–	20	MHz
	1.71 V < V_{DDIO} < 2.7 V，稳压输出模式，快速强驱动模式	输出电能连续转换到大小为 25 pF 的电容器内	–	–	10	MHz
	1.71 V < V_{DDIO} < 5.5 V，稳压输出模式，低速强驱动模式	输出电能连续转换到大小为 25 pF 的电容器内	–	–	2.5	MHz
Fsioin	SIO 输入工作频率					
	1.71 V ≤ V_{DDIO} ≤ 5.5 V	90/10% V_{DDIO}	–	–	50	MHz

图 11-20. SIO 输出上升和下降时间，快速强驱动模式，V_{DDIO} = 3.3 V， 25 pF 负载

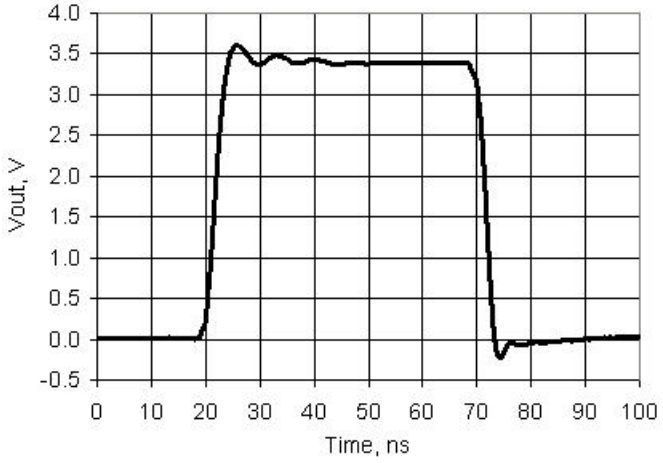


图 11-21. SIO 输出上升和下降时间，慢速强驱动模式，V_{DDIO} = 3.3 V， 25 pF 负载

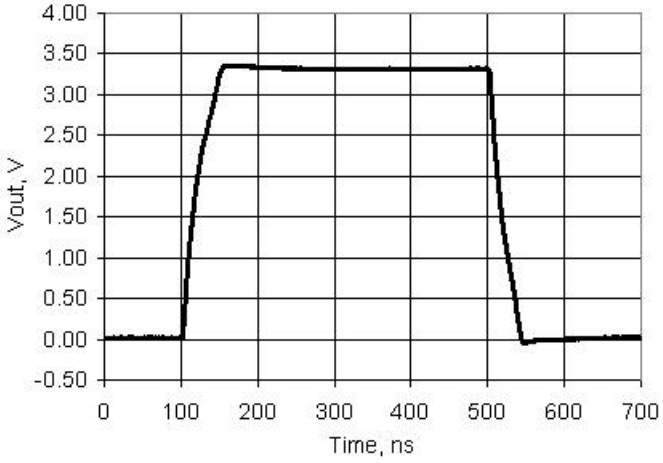


表 11-12. SIO 比较器规范 [41]

参数	说明	条件	最小值	典型值	最大值	单位
Vos	偏移电压	V_{DDIO} = 2 V	–	–	68	mV
		V_{DDIO} = 2.7 V	–	–	72	
		V_{DDIO} = 5.5 V	–	–	82	
TCVos	温度与偏移电压漂移		–	–	250	µV/°C
CMRR	共模抑制比	V_{DDIO} = 2 V	30	–	–	dB
		V_{DDIO} = 2.7 V	35	–	–	
		V_{DDIO} = 5.5 V	40	–	–	
Tresp	响应时间		–	–	30	ns

11.4.3 USBIO

在 GPIO 模式下操作时，适用 V_{DDD} 的标准范围，请参考 第 69 页上的器件级规范。

表 11-13. USBIO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
Rusbi	USB D+ 上拉电阻	总线空闲	0.900	–	1.575	kΩ
Rusba	USB D+ 上拉电阻	接收通信时	1.425	–	3.090	kΩ
Vohusb	静态输出高电平	15 kΩ ± 5% 到 VSS，内部上拉电阻处于使能状态	2.8	–	3.6	V
Volusb	静态输出低电平	15 kΩ ± 5% 到 Vss，内部上拉电阻处于使能状态	–	–	0.3	V
Vohgpio	输出高电平电压， GPIO 模式	I_{OH} = 4 mA， $V_{DDD} \geq 3$ V	2.4	–	–	V
Volgpio	输出低电平电压， GPIO 模式	I_{OL} = 4 mA， $V_{DDD} \geq 3$ V	–	–	0.3	V
Vdi	差分输入灵敏度	|(D+)–(D–)|	–	–	0.2	V
Vcm	差分共模输入范围	–	0.8	–	2.5	V
Vse	单端接收器阈值	–	0.8	–	2	V
Rps2	PS/2 上拉电阻	处于 PS/2 模式，并 PS/2 上拉电阻处于使能状态	3	–	7	kΩ
Rext	外部 USB 串联电阻	与每个 USB 引脚串联	21.78（–1%）	22	22.22（+1%）	Ω
Zo	USB 驱动器输出阻抗	包括 Rext	28	–	44	Ω
C_{IN}	USB 收发器输入电容	–	–	–	20	pF
I_{IL} [41]	输入漏电流 （绝对值）	25 °C， V_{DDD} = 3.0 V	–	–	2	nA

注释：
41. 基于器件特性 （未经过生产测试）。

图 11-22. USBIO 输出高电压和电流， GPIO 模式

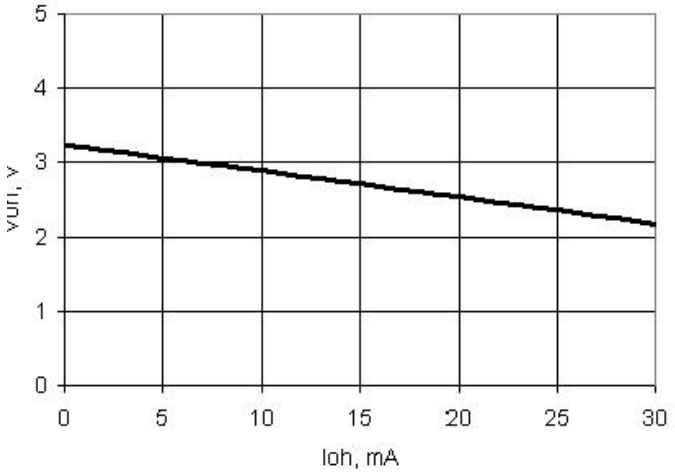


图 11-23. USBIO 输出低电平和电流， GPIO 模式

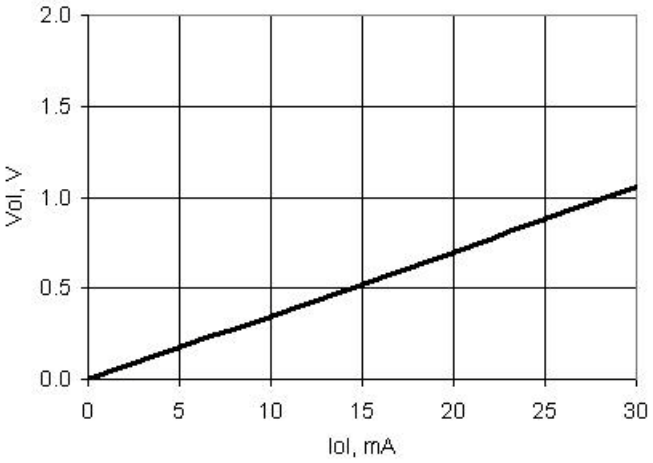


表 11-14. USBIO 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
Tdrate	全速数据速率平均比特率		12 – 0.25%	12	12 + 0.25%	MHz
Tjr1	下一次跃变的接收器数据抖动容差		–8	–	8	ns
Tjr2	成对跃变的接收器数据抖动容差		–5	–	5	ns
Tdj1	下一次跃变的驱动器差分抖动		–3.5	–	3.5	ns
Tdj2	成对跃变的驱动器差分抖动		–4	–	4	ns
Tfdeop	差分跃变与 SE0 跃变的源抖动		–2	–	5	ns
Tfeopt	EOP 的源 SE0 间隔时间		160	–	175	ns
Tfeopr	EOP 的接收器 SE0 间隔时间		82	–	–	ns
Tfst	差分跃变期间 SE0 间隔的时间长度		–	–	14	ns
Fgpio_out	GPIO 模式下的输出工作频率	3 V ≤ V_{DDD} ≤ 5.5 V	–	–	20	MHz
		V_{DDD} = 1.71 V	–	–	6	MHz
Tr_gpio	上升时间， GPIO 模式， 10%/90% V_{DDD}	V_{DDD} > 3 V， 25 pF load	–	–	12	ns
		V_{DDD} = 1.71 V， 25 pF load	–	–	40	ns
Tf_gpio	下降时间， GPIO 模式， 90%/10% V_{DDD}	V_{DDD} > 3 V， 25 pF load	–	–	12	ns
		V_{DDD} = 1.71 V， 25 pF load	–	–	40	ns

图 11-24. USBIO 输出上升和下降时间， GPIO 模式， V_{DDD} = 3.3 V， 25 pF 负载

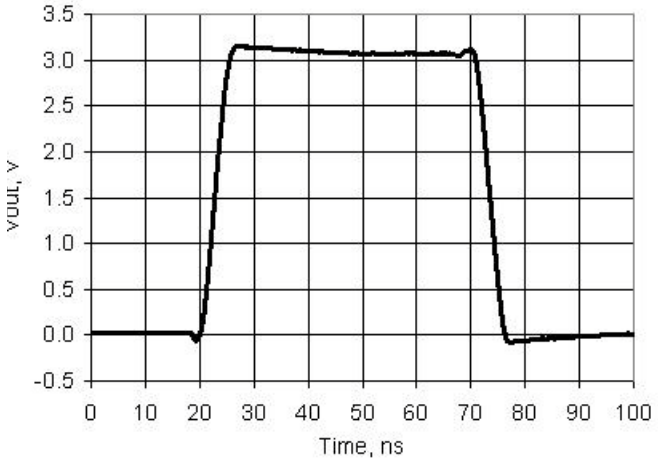


表 11-15. USB 驱动器交流规范

参数	说明	条件	最小值	典型值	最大值	单位
Tr	转换上升时间		–	–	20	ns
Tf	转换下降时间		–	–	20	ns
TR	上升 / 下降时间匹配	V_{USB_5}，$V_{USB_3.3}$，请参见 第 100 页上的 USB 直流规范	90%	–	111%	
Vcrs	输出信号交叉的电压		1.3	–	2	V

11.4.4 XRES

表 11-16. XRES 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平阈值		0.7 × V_{DDIO}	–	–	V
V_{IL}	输入低电平阈值		–	–	0.3 × V_{DDIO}	V
Rpullup	上拉电阻		3.5	5.6	8.5	kΩ
C_{IN}	输入电容值 [42]		–	3	–	pF
V_H	输入电压迟滞 （施密特触发器） [42]		–	100	–	mV
Idiode	通过保护二极管到达 V_{DDIO} 和 V_{SSIO} 的导通电流		–	–	100	µA

表 11-17. XRES 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
T_{RESET}	复位脉冲宽度		1	–	–	µs

注释：
42. 基于器件特性 （未经过生产测试）。

11.5 模拟外设

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C， T_J ≤ 100 °C 且电压范围为 1.71 V ~ 5.5 V。

11.5.1 Delta-sigma 模数转换器

除非另有指定，否则运行条件均为：

- 在连续采样模式下运行
- fclk = 6.144 MHz
- 参考 = 1.024 V 的内部参考在 P3.2 或 P0.3 上旁路
- 除非另有指定，否则所有图表中的值均为典型值

表 11-18. 20 bit Delta-Sigma ADC 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	分辨率		8	–	12	位
	通道数量 （单端）		–	–	GPIO 数量	–
	通道数量 （差分）	差分对由一对 GPIO 组成。	–	–	GPIO 数量 /2	–
	单调性	有	–	–	–	–
Ge	增益误差	已缓冲，缓冲器增益 = 1， 范围 = ±1.024V， 25 °C	–	–	±0.2	%
Gd	增益漂移	已缓冲，缓冲器增益 = 1， 范围 = ±1.024 V	–	–	50	ppm/°C
Vos	输入偏移电压	已缓冲， 12 位模式	–	–	±0.1	mV
TCVos	温度系数，输入偏移电压	缓冲器增益 = 1， 12 位， 范围 = ±1.024 V	–	–	1	µV/°C
	输入电压范围，单端 [43]		V_{SSA}	–	V_{DDA}	V
	输入电压范围，差分，未缓冲 [43]		V_{SSA}	–	V_{DDA}	V
	输入电压范围，差分，已缓冲 [43]		V_{SSA}	–	V_{DDA} – 1	V
INL12	积分非线性 [43]	范围 = ±1.024 V，未缓冲	–	–	±1	LSB
DNL12	微分非线性 [43]	范围 = ±1.024 V，未缓冲	–	–	±1	LSB
INL8	积分非线性 [43]	范围 = ±1.024 V，未缓冲	–	–	±1	LSB
DNL8	微分非线性 [43]	范围 = ±1.024 V，未缓冲	–	–	±1	LSB
Rin_Buff	ADC 输入电阻	使用输入缓冲区	10	–	–	MΩ
Rin_ADC12	ADC 输入电阻	旁路输入缓冲器， 12 位， 范围 = ±1.024 V	–	148[44]	–	kΩ
Vextref	ADC 外部参考输入电压，另请参见 第 88 页上的参考电压中的内部参考	引脚 P0[3]、 P3[2]	0.9	–	1.3	V
电流消耗						
I_{DD_12}	I_{DDA} + I_{DDD} 电流消耗， 12 位 [43]	192 ksps，未缓冲	–	–	1.95	mA
I_{BUFF}	缓冲器电流消耗 [43]		–	–	2.5	mA

注释：

43. 基于器件特性 （未经过生产测试）。
44. 通过在 ADC 输入上使用开关电容，可建立有效的输入电阻。如果增益和位数量保持不变，电阻将与时钟频率成反比。该值是通过计算得出的，而非测量得出。有关更多信息，请参见 《技术参考手册》。

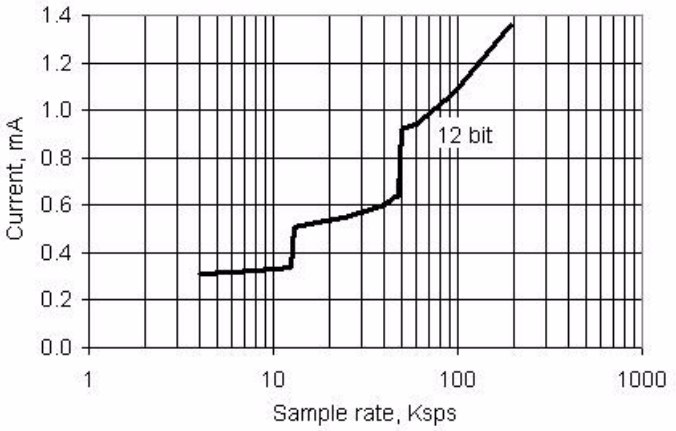
表 11-19. Delta-Sigma ADC 的交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	启动时间		–	–	4	采样
THD	总谐波失真 [45]	缓冲器增益 = 1， 12 位，范围 = ±1.024 V	–	–	0.0032	%
12 位分辨率模式						
SR12	采样率，连续采样，高功耗 [45]	范围 = ±1.024 V，未缓冲	4	–	192	ksps
BW12	最大采样率下的输入带宽 [45]	范围 = ±1.024 V，未缓冲	–	44	–	kHz
SINAD12int	信噪比， 12 位，内部参考电压 [45]	范围 = ±1.024 V，未缓冲	66	–	–	dB
8 位分辨率模式						
SR8	采样率，连续采样，高功耗 [45]	范围 = ±1.024 V，未缓冲	8	–	384	ksps
BW8	最大采样率下的输入带宽 [45]	范围 = ±1.024 V，未缓冲	–	88	–	kHz
SINAD8int	信噪比， 8 位，内部电压参考 [45]	范围 = ±1.024 V，未缓冲	43	–	–	dB

表 11-20. Delta-sigma 模数转换器采样率，范围 = ±1.024 V

分辨率（单位为位）	连续采样		多样本采样	
	最小值	最大值	最小值	最大值
8	8000	384000	1911	91701
9	6400	307200	1543	74024
10	5566	267130	1348	64673
11	4741	227555	1154	55351
12	4000	192000	978	46900

图 11-25. Delta-sigma ADC IDD 与 sps，范围 = ±1.024 V，连续采样模式，旁路输入缓冲区



注释：
45. 基于器件特性 （未经过生产测试）。

11.5.2 参考电压

表 11-21. 参考电压的规范

另外，请在 *节 11.5.1* 参见 ADC 外部参考规范。

参数	说明	条件	最小值	典型值	最大值	单位
V_{REF}	高精度参考电压	初始调整，25 °C	1.014（–1%）	1.024	1.034（+1%）	V

11.5.3 模拟全局总线

表 11-22. 模拟全局总线规范

参数	说明	条件	最小值	典型值	最大值	单位
Rppag	P2[4]、AGL0、DSM INP、AGL1 以及 P2[5] 的引脚到引脚电阻 [46]	V_{DDA} = 3 V	–	1472	2200	Ω
Rppmuxbus	P2[3]、amuxbusL、P2[4] 的引脚到引脚电阻 [46]	V_{DDA} = 3 V	–	706	1100	Ω

11.5.4 电压比较器

表 11-23. 比较器直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{OS}	快速模式下的输入偏移电压	出厂预设值，V_{DDA} > 2.7 V，$V_{IN} \geq$ 0.5 V	–		10	mV
	慢速模式下的输入偏移电压	出厂预设值，$V_{IN} \geq$ 0.5 V	–		9	mV
	快速模式下的输入偏移电压 [47]	自定义调整	–	–	4	mV
	慢速模式下的输入偏移电压 [47]	自定义调整	–	–	4	mV
	超低功耗模式下的输入偏移电压	$V_{DDA} \leq$ 4.6 V	–	±12	–	mV
V_{HYST}	迟滞	迟滞使能模式	–	10	32	mV
V_{ICM}	共模输入电压	大电流 / 快速模式	V_{SSA}	–	V_{DDA}	V
		低电流 / 慢速模式	V_{SSA}	–	V_{DDA}	V
		超低功耗模式 $V_{DDA} \leq$ 4.6 V	V_{SSA}	–	V_{DDA} – 1.15	
CMRR	共模抑制比		–	50	–	dB
I_{CMP}	大电流模式 / 快速模式 [48]		–	–	400	µA
	低电流模式 / 慢速模式 [48]		–	–	100	µA
	超低功耗模式 [48]	$V_{DDA} \leq$ 4.6 V	–	6	–	µA

表 11-24. 比较器交流规范

参数	说明	条件	最小值	典型值	最大值	单位
Tresp	响应时间，大电流模式 [48]	过阈值为 50 mV，引脚到引脚测量	–	75	110	ns
	响应时间，低电流模式 [48]	过阈值为 50 mV，引脚到引脚测量	–	155	200	ns
	响应时间，超低功耗模式 [48]	过阈值为 50 mV，引脚到引脚测量，$V_{DDA} \leq$ 4.6 V	–	55	–	µs

注释：
46. 如果 $V_{DDA} \leq$ 2.7 V，且芯片处于睡眠或休眠模式，则模拟全局总线和模拟复用器总线的电阻偏高。建议不要在这些情况下使用模拟全局总线和模拟复用器总线。
47. 可以在 TRM 中找到片上比较器上使用自定义修正值的建议过程。
48. 基于器件特性（未经过生产测试）。

11.5.5 电流数模转换器 （IDAC）

所有规范都基于低阻抗 IDAC 输出引脚的使用 （参考 第 12 页上的引脚说明以了解详细信息）。有关完整的电气规范和 API，请参考 PSoC Creator 中的 IDAC 组件数据手册。

除非另有指定，否则所有图表中的值均为典型值。

表 11-25. IDAC 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	分辨率		–	–	8	位
I_{OUT}	代码 = 255 时的输出电流	范围 = 2.04 mA，代码 = 255，$V_{DDA} \geq 2.7$ V， Rload = 600 Ω	–	2.04	–	mA
		范围 = 2.04 mA，高速模式，代码 = 255， $V_{DDA} \leq 2.7$ V，Rload = 300 Ω	–	2.04	–	mA
		范围 = 255 µA，代码 = 255，Rload = 600 Ω	–	255	–	µA
		范围 = 31.875 µA，代码 = 255，Rload = 600 Ω	–	31.875	–	µA
	单调性		–	–	有	
Ezs	零比例误差		–	0	±1	LSB
Eg	增益误差	范围 = 2.04 mA， 25 °C	–	–	±2.5	%
		范围 = 255 µA， 25 °C	–	–	±2.5	%
		范围 = 31.875 µA， 25 °C	–	–	±3.5	%
TC_Eg	增益误差的温度系数	范围 = 2.04 mA	–	–	0.04	% / °C
		范围 = 255 µA	–	–	0.04	% / °C
		范围 = 31.875 µA	–	–	0.05	% / °C
INL	积分非线性	灌电流模式，范围 = 255 µA，代码：8 – 255， Rload = 2.4 kΩ，Cload = 15 pF	–	±0.9	±1	LSB
		拉电流模式，范围 = 255 µA，代码：8 – 255， Rload = 2.4 kΩ，Cload = 15 pF	–	±1.2	±1.6	LSB
DNL	微分非线性	灌电流模式，范围 = 255 µA，Rload = 2.4 kΩ， Cload = 15 pF	–	±0.3	±1	LSB
		拉电流模式，范围 = 255 µA，Rload = 2.4 kΩ， Cload = 15 pF	–	±0.3	±1	LSB
Vcompliance	压差电压、拉电流或灌电流模式	最大电流时，Rload 与 V_{DDA}，或 Rload 与 V_{SSA}、 V_{DIFF} 与 V_{DDA} 的电压空间	1	–	–	V

表 11-25. IDAC 直流规范 （续）

参数	说明	条件	最小值	典型值	最大值	单位
I_{DD}	工作电流，代码 = 0	低速模式，拉电流模式，范围 = 31.875 µA	–	44	100	µA
		低速模式，拉电流模式，范围 = 255 µA，	–	33	100	µA
		低速模式，拉电流模式，范围 = 2.04 mA	–	33	100	µA
		低速模式，灌电流模式，范围 = 31.875 µA	–	36	100	µA
		低速模式，灌电流模式，范围 = 255 µA	–	33	100	µA
		低速模式，灌电流模式，范围 = 2.04 mA	–	33	100	µA
		高速模式，拉电流模式，范围 = 31.875 µA	–	310	500	µA
		高速模式，拉电流模式，范围 = 255 µA	–	305	500	µA
		高速模式，拉电流模式，范围 = 2.04 mA	–	305	500	µA
		高速模式，灌电流模式，范围 = 31.875 µA	–	310	500	µA
		高速模式，灌电流模式，范围 = 255 µA	–	300	500	µA
		高速模式，灌电流模式，范围 = 2.04 mA	–	300	500	µA

图 11-26. IDAC INL 与输入代码，范围 = 255 µA，拉电流模式

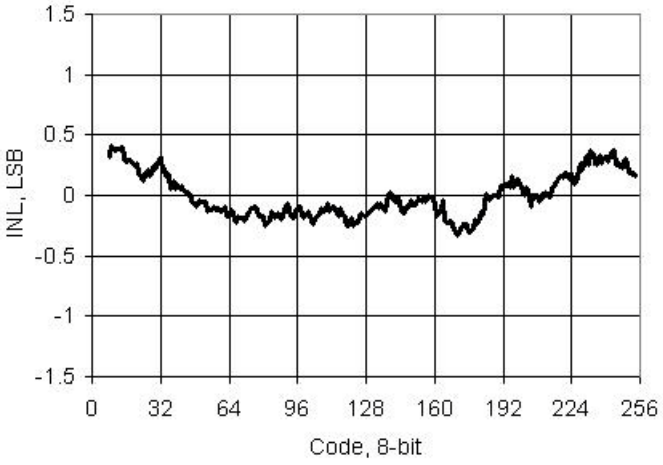


图 11-27. IDAC INL 与输入代码，范围 = 255 µA，灌电流模式

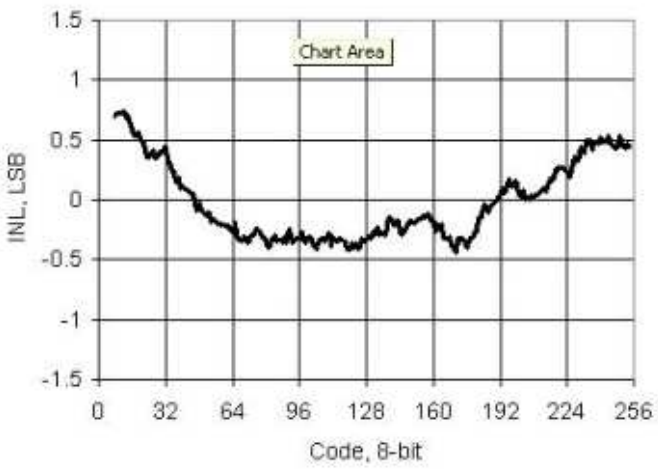


图 11-28. IDAC DNL 与输入代码，范围 = 255 µA，拉电流模式

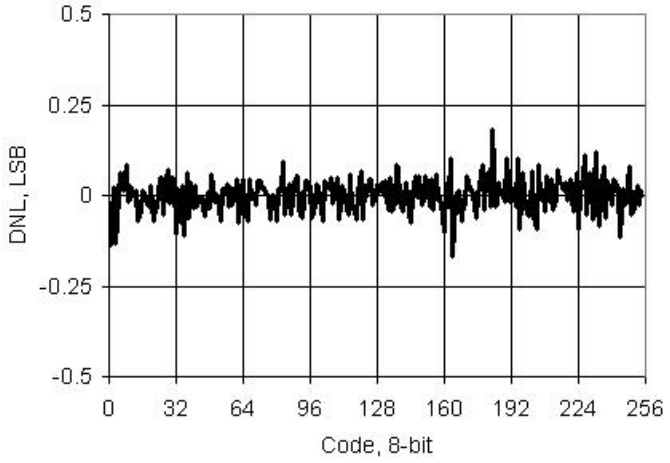


图 11-29. IDAC DNL 与输入代码，范围 = 255 µA，灌电流模式

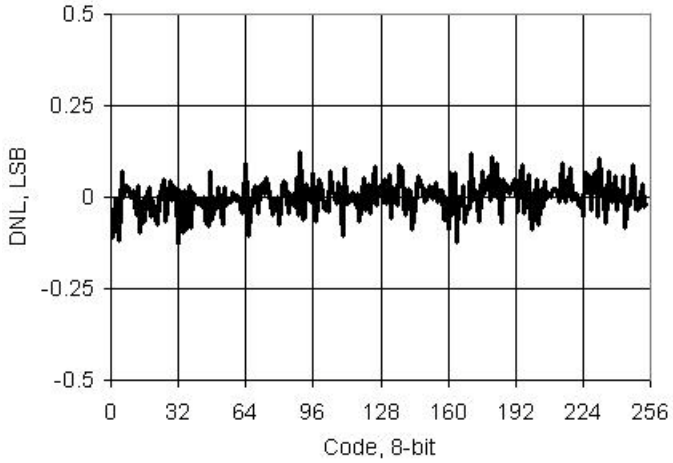


图 11-30. IDAC INL 与温度，范围 = 255 µA，高速模式

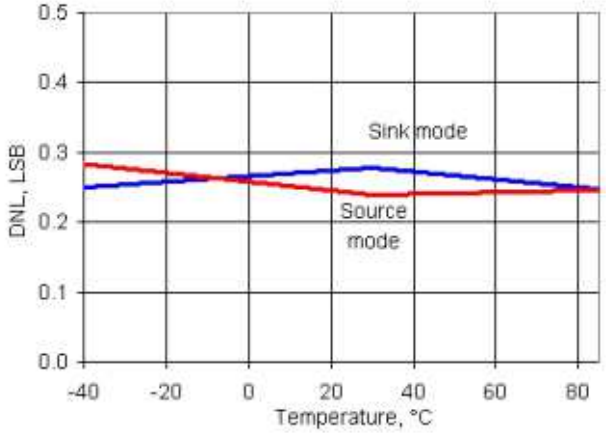


图 11-31. IDAC DNL 与温度，范围 = 255 µA，高速模式

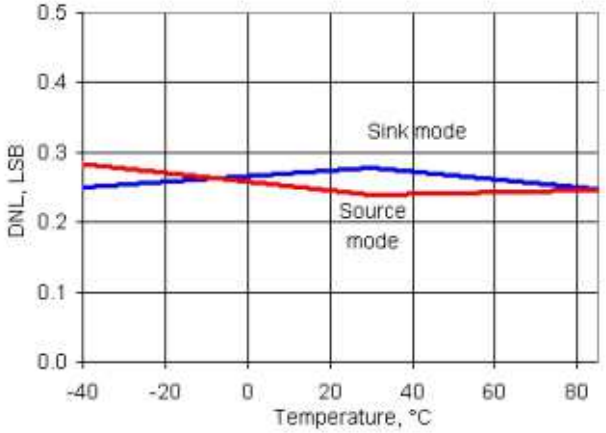


图 11-32. IDAC 全量程误差与温度，范围 = 255 µA，拉电流模式

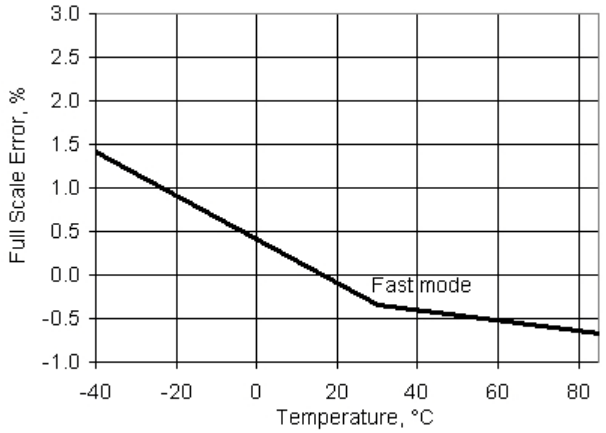


图 11-33. IDAC 全量程误差与温度，范围 = 255 µA，灌电流模式

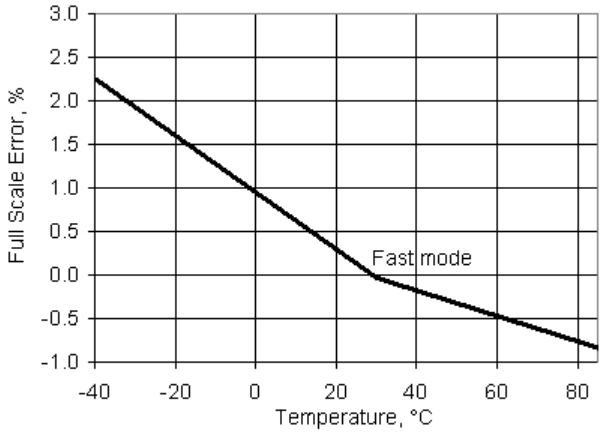


图 11-34. IDAC 工作电流与温度，范围 = 255 µA，代码 = 0，拉电流模式

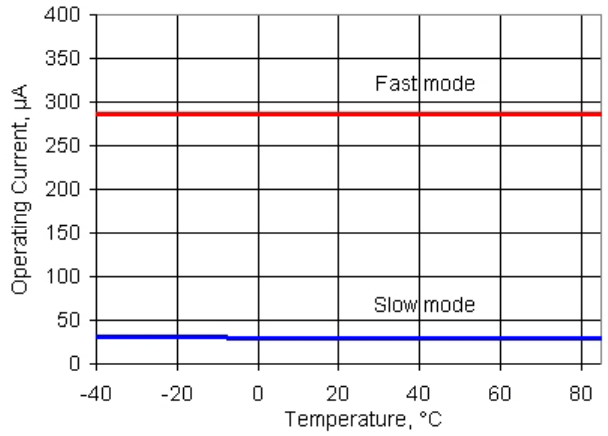


图 11-35. IDAC 工作电流与温度，范围 = 255 µA，代码 = 0，灌电流模式

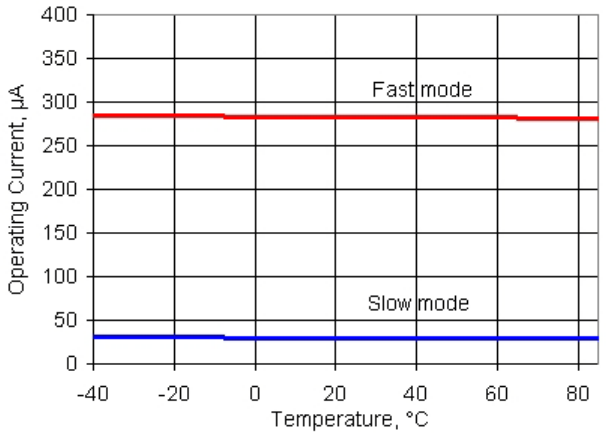


表 11-26. IDAC 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F_{DAC}	更新速率		–	–	8	Msps
T_{SETTLE}	设置输出电压偏差小于 0.5 LSB 所需的建立时间	范围 = 31.875 µA 或 255 µA，全量程转换，高速模式， 600 Ω 15 pF 负载	–	–	125	ns
	电流噪声	范围 = 255 µA，拉电流模式，高速模式，V_{DDA} = 5 V，频率为 10 kHz	–	340	–	pA/sqrtHz

图 11-36. IDAC 阶跃响应，代码 0x40 - 0xC0，255 µA 模式，拉电流模式，高速模式， V_{DDA} = 5 V

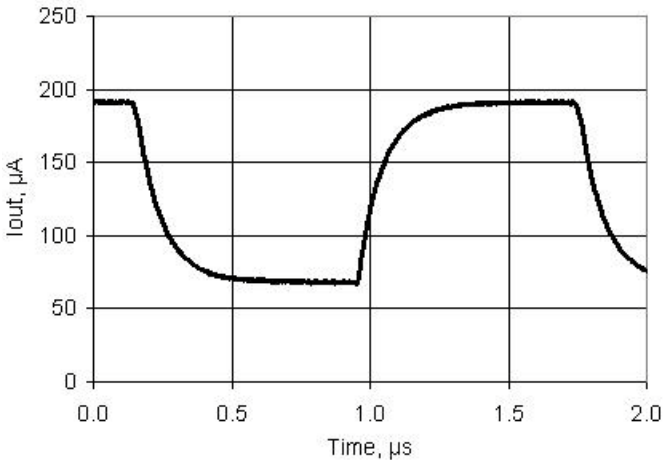


图 11-37. IDAC 干扰响应，代码 0x7F - 0x80，255 µA 模式，拉电流模式，高速模式， V_{DDA} = 5 V

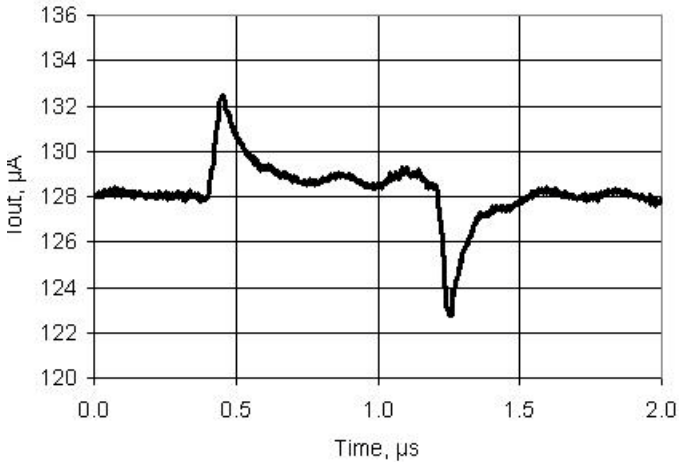


图 11-38. IDAC PSRR 与频率

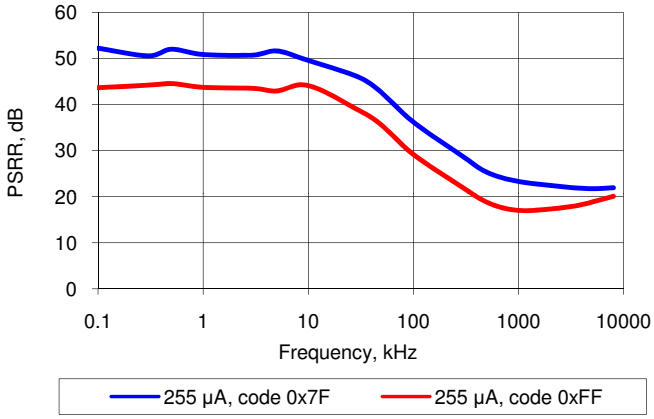
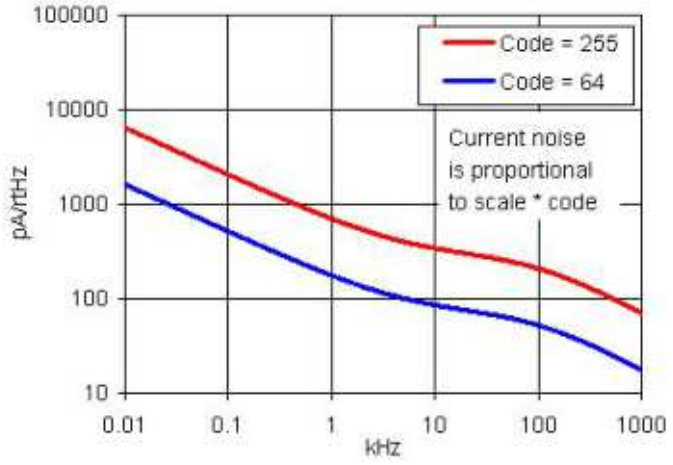


图 11-39. IDAC 当前噪声， 255 µA 模式，拉电流模式，高速模式， V_{DDA} = 5 V



11.5.6 电压数模转换器 （VDAC）

有关完整的电气规范和 API，请参考 PSoC Creator 中的 VDAC 组件数据手册。

除非另有指定，否则所有图表中的值均为典型值。

表 11-27. VDAC 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	分辨率		–	8	–	位
INL1	积分非线性度	1 V 输出范围	–	±2.1	±2.5	LSB
INL4	积分非线性 [49]	4 V 输出范围	–	±2.1	±2.5	LSB
DNL1	微分非线性	1 V 输出范围	–	±0.3	±1	LSB
DNL4	微分非线性 [49]	4 V 输出范围	–	±0.3	±1	LSB
Rout	输出电阻	1 V 输出范围	–	4	–	kΩ
		4 V 输出范围	–	16	–	kΩ
V_{OUT}	输出电压范围，代码 = 255	1 V 输出范围	–	1.02	–	V
		4 V 输出范围，V_{DDA} = 5 V	–	4.08	–	V
	单调性		–	–	支持	–
V_{OS}	零比例误差		–	0	±0.9	LSB
Eg	增益误差	1 V 输出范围	–	–	±2.5	%
		4 V 输出范围	–	–	±2.5	%
TC_Eg	温度系数，增益误差	1 V 输出范围	–	–	0.03	%FSR / °C
		4 V 输出范围	–	–	0.03	%FSR / °C
I_{DD}	工作电流	低速模式	–	–	100	µA
		高速模式	–	–	500	µA

图 11-40. VDAC INL 与输入代码， 1 V 模式

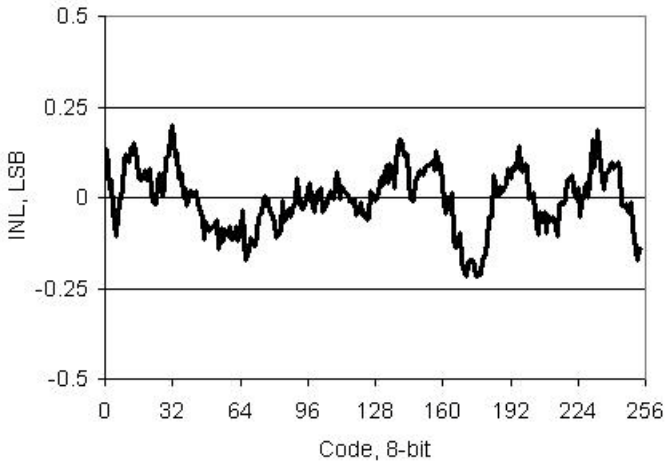
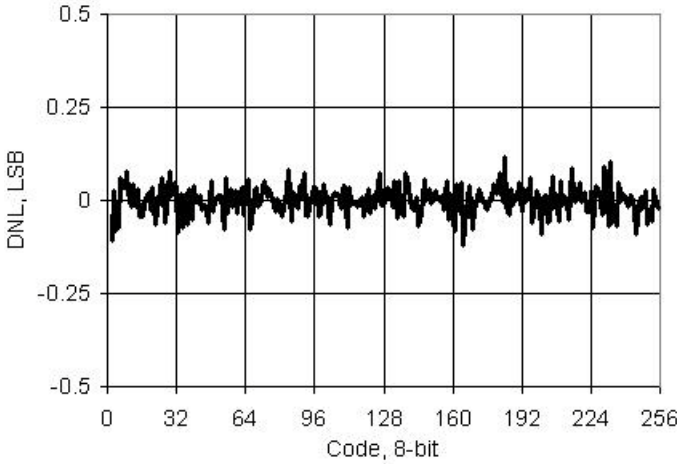


图 11-41. VDAC DNL 与输入代码， 1 V 模式



注释：

49. 基于器件特性 （未经过生产测试）。

图 11-42. VDAC INL 与温度， 1 V 模式

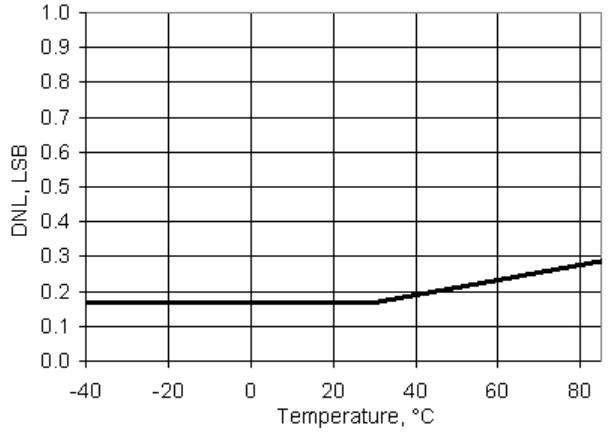


图 11-43. VDAC DNL 与温度， 1 V 模式

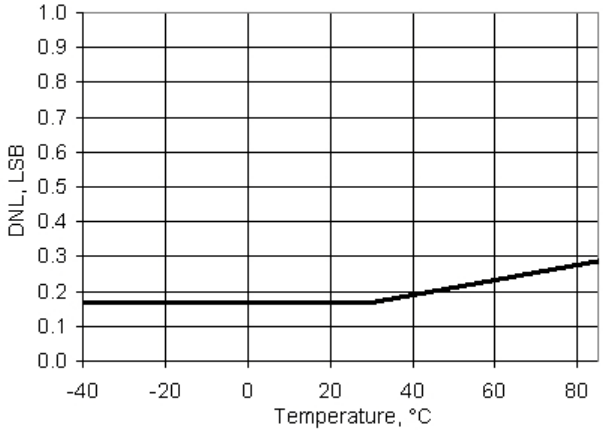


图 11-44. VDAC 全量程错误与温度， 1 V 模式

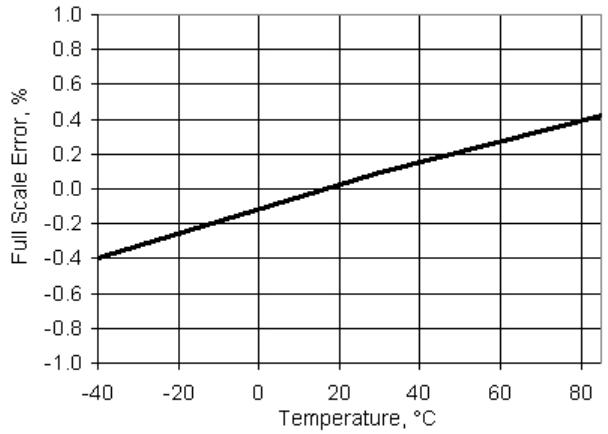


图 11-45. VDAC 全量程误差与温度， 4 V 模式

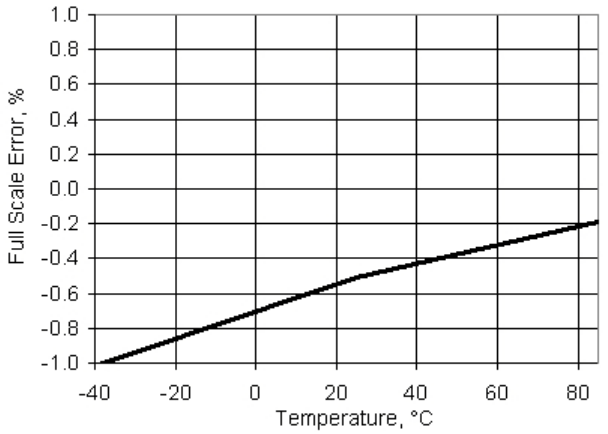


图 11-46. VDAC 工作电流与温度， 1 V 模式，低速模式

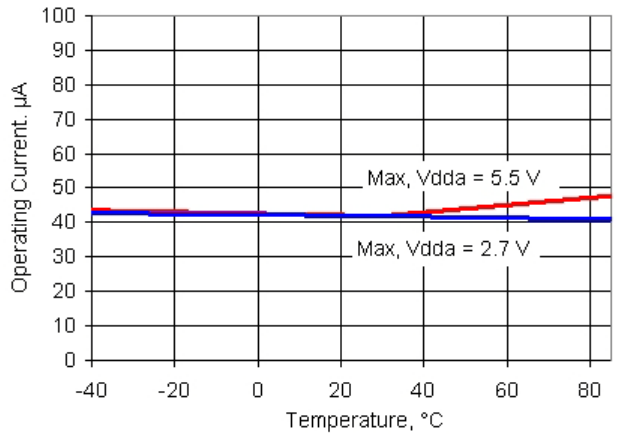


图 11-47. VDAC 工作电流与温度， 1 V 模式，高速模式

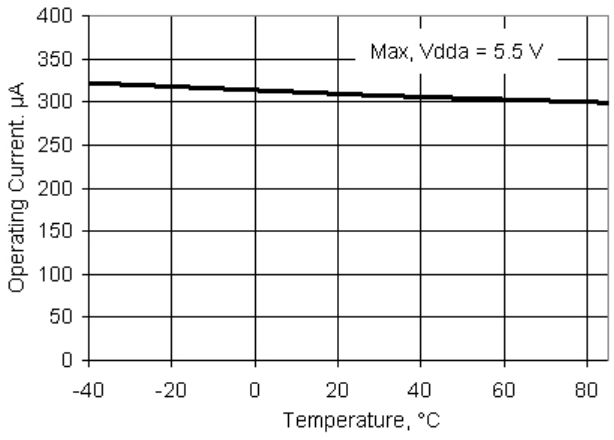


表 11-28. VDAC 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F_{DAC}	更新速率	1 V 输出范围	–	–	1000	ksps
		4 V 输出范围	–	–	250	ksps
TsettleP	输出电压的偏差为 0.1% 所需要的建立时间，步长为 25% 到 75%	1 V 输出范围， Cload = 15 pF	–	0.45	1	µs
		4 V 输出范围， Cload = 15 pF	–	0.8	3.2	µs
TsettleN	输出电压的偏差为 0.1% 所需要的建立时间，步长为 75% 到 25%	1 V 输出范围， Cload = 15 pF	–	0.45	1	µs
		4 V 输出范围， Cload = 15 pF	–	0.7	3	µs
	电压噪声	范围 = 1 V，高速模式，V_{DDA} = 5 V，频率为 10 kHz	–	750	–	nV/sqrtHz

图 11-48. VDAC 阶跃响应，代码 0x40 - 0xC0， 1 V 模式，高速模式， V_{DDA} = 5 V

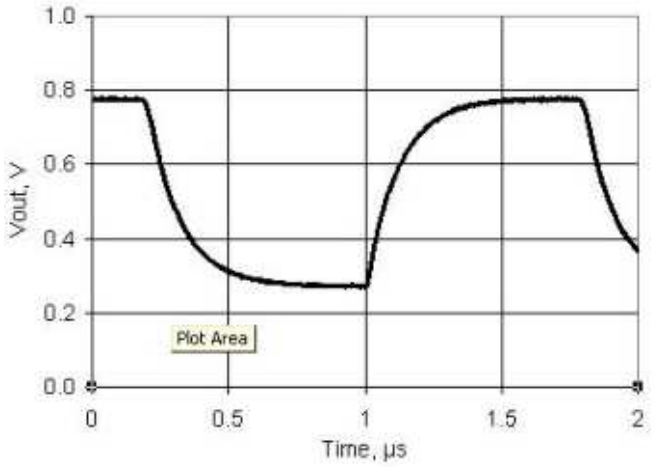


图 11-49. VDAC 干扰响应，代码 0x7F - 0x80， 1 V 模式，高速模式， V_{DDA} = 5 V

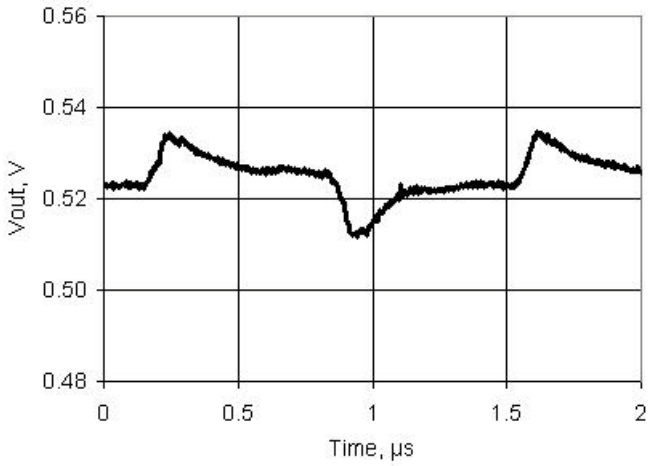


图 11-50. VDAC PSRR 与频率

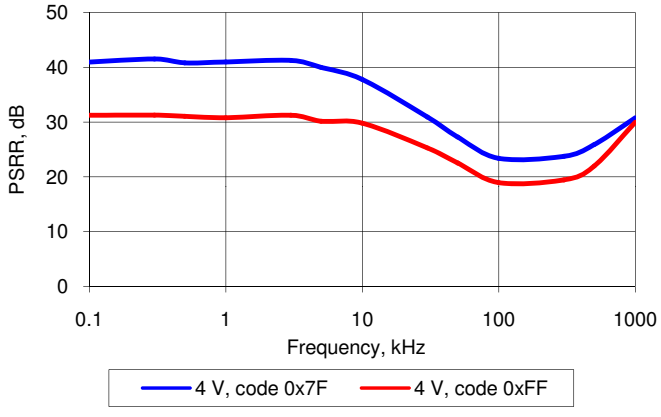
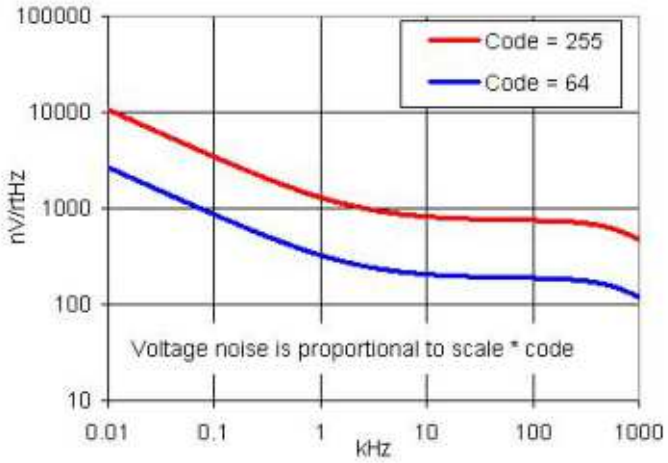


图 11-51. VDAC 电压噪声， 1 V 模式，高速模式， V_{DDA} = 5 V



11.5.7 温度传感器

表 11-29. 温度传感器规范

参数	说明	条件	最小值	典型值	最大值	单位
	温度传感器精度	范围：–40 °C 至 +85 °C	–	±5	–	°C

11.5.8 LCD 直接驱动器

表 11-30. LCD 直接驱动直流规范

参数	说明	条件	最小值	典型值	最大值	单位
I_{CC}	LCD 系统工作电流	器件睡眠模式在 400 Hz 速率下唤醒以刷新 LCD，总线时钟 = 3 MHz，$V_{DDIO} = V_{DDA} = 3$ V，4 个共模信号，16 个段信号，1/4 占空比， 50 Hz 帧率，未连接玻璃	–	38	–	mA
I_{CC_SEG}	每个段的驱动电流	强驱动模式	–	260	–	µA
V_{BIAS}	LCD 偏压范围 （V_{BIAS} 指的是 LCD DAC 的主要输出电压 （V0））	$V_{DDA} \geq 3$ V 和 $V_{DDA} \geq V_{BIAS}$	2	–	5	V
	LCD 偏压步长大小	$V_{DDA} \geq 3$ V 和 $V_{DDA} \geq V_{BIAS}$	–	9.1 × V_{DDA}	–	mV
	每个段 / 共模驱动器的 LCD 电容	驱动器可以组合使用	–	500	5000	pF
	长期 segment 偏移		–	–	20	mV
I_{OUT}	每个 segment 驱动器的输出驱动电流）	$V_{DDIO} = 5.5$ V，强驱动模式	355	–	710	µA

表 11-31. LCD 直接驱动交流规范

参数	说明	条件	最小值	典型值	最大值	单位
f_{LCD}	LCD 帧率		10	50	150	Hz

11.6 数字外设

除非另有说明，否则这些规范的适用条件是 –40 °C ≤ T_A ≤ 85 °C， T_J ≤ 100 °C 且电压范围为 1.71 V ~ 5.5 V。

11.6.1 定时器

下列规范适用于采用定时器模式的定时器 / 计数器 / PWM 外设。可以在 UDB 中实现定时器。有关更多信息，请参考 PSoC Creator 中的定时器组件数据手册。

表 11-32. 定时器直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	模块的电流消耗	16 位定时器，在所列的输入时钟频率下	–	–	–	µA
	3 MHz		–	15	–	µA
	12 MHz		–	60	–	µA
	50 MHz		–	260	–	µA

表 11-33. 定时器交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	工作频率		DC	–	50.01	MHz
	捕获脉冲宽度 （内部时钟）		21	–	–	ns
	捕获脉冲宽度 （外部时钟）		42	–	–	ns
	定时器分辨率		21	–	–	ns
	使能脉冲宽度		21	–	–	ns
	使能脉冲宽度 （外部时钟）		42	–	–	ns
	复位脉冲宽度		21	–	–	ns
	复位脉冲宽度 （外部时钟）		42	–	–	ns

11.6.2 计数器

下列规范适用于采用计数器模式的定时器 / 计数器 / PWM 外设。计数器可以在 UDB 中实现。有关更多信息，请参考 PSoC Creator 中的计数器组件数据手册。

表 11-34. 计数器直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	模块的电流消耗	16 位计数器，在所列出的输入时钟频率下	–	–	–	µA
	3 MHz		–	15	–	µA
	12 MHz		–	60	–	µA
	50 MHz		–	260	–	µA

表 11-35. 计数器交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	工作频率		DC	–	50.01	MHz
	捕捉脉冲		21	–	–	ns
	分辨率		21	–	–	ns
	脉冲宽度		21	–	–	ns
	脉冲宽度 （外部时钟）		42	–	–	ns
	使能脉冲宽度		21	–	–	ns
	使能脉冲宽度 （外部时钟）		42	–	–	ns
	复位脉冲宽度		21	–	–	ns
	复位脉冲宽度 （外部时钟）		42	–	–	ns

11.6.3 脉冲宽度调制

下列规范适用于采用了 PWM 模式的定时器 / 计数器 / PWM 外设。PWM 也可以在 UDB 中实现。更多有关信息，请参考 PSoC Creator 中的 PWM 组件数据手册。

表 11-36. PWM 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	模块电流消耗	16 位 PWM，在所列的输入时钟频率下	–	–	–	µA
	3 MHz		–	15	–	µA
	12 MHz		–	60	–	µA
	50 MHz		–	260	–	µA

表 11-37. 脉冲宽度调制 （PWM）交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	工作频率		DC	–	50.01	MHz
	脉冲宽度		21	–	–	ns
	脉冲宽度 （外部时钟）		42	–	–	ns
	停止 （kill）信号脉冲宽度		21	–	–	ns
	停止 （kill）信号脉冲宽度 （外部时钟）		42	–	–	ns
	使能脉冲宽度		21	–	–	ns
	使能脉冲宽度 （外部时钟）		42	–	–	ns
	复位脉冲宽度		21	–	–	ns
	复位脉冲宽度 （外部时钟）		42	–	–	ns

11.6.4 I^2C

表 11-38. 固定的 I^2C 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	模块电流消耗	已使能，针对 100 kbps 进行配置	–	–	250	µA
		已使能，针对 400 kbps 进行配置	–	–	260	µA
		从睡眠模式唤醒	–	–	30	µA

表 11-39. 固定功能 I^2C 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	比特率		–	–	1	Mbps

11.6.5 控制器区域网络

表 11-40. CAN 直流规范 [50]

参数	说明	条件	最小值	典型值	最大值	单位
I_{DD}	模块的电流消耗		–	–	200	µA

表 11-41. CAN 交流规范 [50]

参数	说明	条件	最小值	典型值	最大值	单位
	比特率	时钟的最低频率为 8 MHz	–	–	1	Mbit

注释：
50. 有关详细信息，请参见 ISO 11898 规范。

11.6.6 USB

表 11-42. USB 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{USB_5}	用于 USB 操作的器件供电电压	配置了 USB 并使能了 USB 调节器	4.35	–	5.25	V
$V_{USB_3.3}$		配置了 USB，旁路 USB 电压调节器	3.15	–	3.6	V
V_{USB_3}		配置了 USB，旁路 USB 调节器 [51]	2.85	–	3.6	V
$I_{USB_Configured}$	在器件活动模式下，器件供电电流，总线时钟和 IMO 频率 = 24 MHz	V_{DDD} = 5 V， F_{CPU} = 1.5 MHz	–	10	–	mA
		V_{DDD} = 3.3 V， F_{CPU} = 1.5 MHz	–	8	–	mA
$I_{USB_Suspended}$	器件睡眠模式下的器件供电电流	V_{DDD} = 5 V，连接到 USB 主机，PICU 配置为在有 USB 恢复信号时唤醒	–	0.5	–	mA
		V_{DDD} = 5 V，断开与 USB 主机的连接	–	0.3	–	mA
		V_{DDD} = 3.3 V，连接到 USB 主机，PICU 配置为在有 USB 恢复信号时唤醒	–	0.5	–	mA
		V_{DDD} = 3.3 V，断开与 USB 主机的连接	–	0.3	–	mA

11.6.7 通用数字模块（UDB）

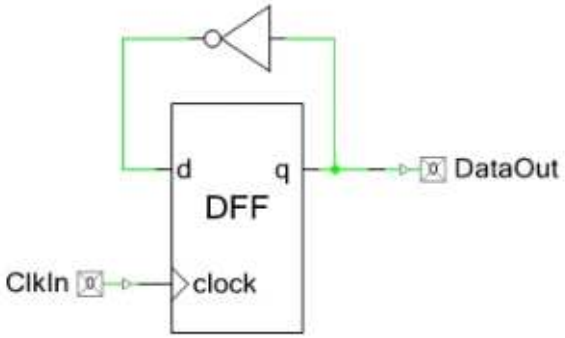
PSoC Creator 提供了一个映射至 UDB 阵列，并经过预建和测试标准的数字外设库（如 UART、 SPI、 LIN、 PRS、 CRC、定时器、计数器、 PWM、 AND、 OR 等等）。有关完整的交流 / 直流规范、 API 和示例代码，请参考 PSoC Creator 中的组件数据手册。

表 11-43. UDB 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
数据路径性能						
F_{MAX_TIMER}	在 UDB 对中 16 位定时器的最高频率		–	–	50.01	MHz
F_{MAX_ADDER}	在 UDB 对中 16 位加法器的最高频率		–	–	50.01	MHz
F_{MAX_CRC}	在 UDB 对中 16 位 CRC/PRS 的最高频率		–	–	50.01	MHz
PLD 性能						
F_{MAX_PLD}	在 UDB 对中双通 PLD 功能的最高频率		–	–	50.01	MHz
时钟输入至数据输出的性能						
t_{CLK_OUT}	从时钟输入到数据输出之间的传输延迟，请参见第 101 页上的图 11-52。	25 °C，$V_{DDD} \geq 2.7$ V	–	20	25	ns
t_{CLK_OUT}	从时钟输入到数据输出之间的传输延迟，请参见。第 101 页上的图 11-52。	最差情况下的放置、布线和引脚选择	–	–	55	ns

注释：
51. 不保证上升 / 下降时间 （TR）匹配，请参见 第 84 页上的 USB 驱动器交流规范。

图 11-52. 时钟输入至数据输出方面的性能



11.7 存储器

除非另有说明，否则规范的适用温度是：–40 °C ≤ T_A ≤ 85 °C， T_J ≤ 100 °C 且适用范围为 1.71 V ~ 5.5 V。

11.7.1 闪存

表 11-44. 闪存直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	擦除和编程电压	V_{DDD} 引脚	1.71	–	5.5	V

表 11-45. 闪存交流规范

参数	说明	条件	最小值	典型值	最大值	单位
T_{WRITE}	行编写的时间 （擦除 + 编程）		–	15	20	ms
TERASE	行擦除的时间		–	10	13	ms
	行编程的时间		–	5	7	ms
T_{BULK}	批量擦除时间 （16 KB 到 64 KB）		–	–	35	ms
	扇区擦除时间 （8 KB 到 16 KB）		–	–	15	ms
T_{PROG}	器件总编程时间	无开销 [52]	–	1.5	2	秒
	闪存数据保留时间，即从最后一个擦除循环开始测量的保留时长	平均环境温度。 T_A ≤ 55 °C，100 K 擦除 / 编程周期	20	–	–	年
		平均环境温度。 T_A ≤ 85 °C, 10 K 擦除 / 编程周期	10	–	–	

注释：
52. 有关编程 PSoC 3 闪存的低开销方法的更多信息，请参见 PSoC® 3 器件编程规范内容。

11.7.2 EEPROM

表 11-46. EEPROM 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	擦除和编程电压		1.71	–	5.5	V

表 11-47. EEPROM 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
T_{WRITE}	单行擦除 / 写入循环时间		–	2	20	ms
	EEPROM 数据保留时间，即从最后一个擦除周期开始测量的保留时间的长度	平均环境温度， $T_A \le 25$ °C，1 M 擦除 / 编程周期	20	–	–	年
		平均环境温度， $T_A \le 55$ °C，100 K 擦除 / 编程周期	20	–	–	
		平均环境温度。$T_A \le 85$ °C， 10 K 擦除 / 编程周期	10	–	–	

11.7.3 非易失性锁存器 （NVL）

表 11-48. NVL 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	擦除和编程电压	V_{DDD} 引脚	1.71	–	5.5	V

表 11-49. NVL 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	NVL 耐久性	在 25 °C 下编程	1 K	–	–	编程 / 擦除周期
		在温度为 0 °C 到 70 °C 条件下编程	100	–	–	编程 / 擦除周期
	NVL 数据保持时间	平均环境温度。$T_A \le 55$ °C	20	–	–	年
		平均环境温度。$T_A \le 85$ °C	10	–	–	年

11.7.4 SRAM

表 11-50. SRAM 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{SRAM}	SRAM 保持电压		1.2	–	–	V

表 11-51. SRAM 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F_{SRAM}	SRAM 工作频率		DC	–	50.01	MHz

11.7.5 外部存储器接口

图 11-53. 异步读周期时序

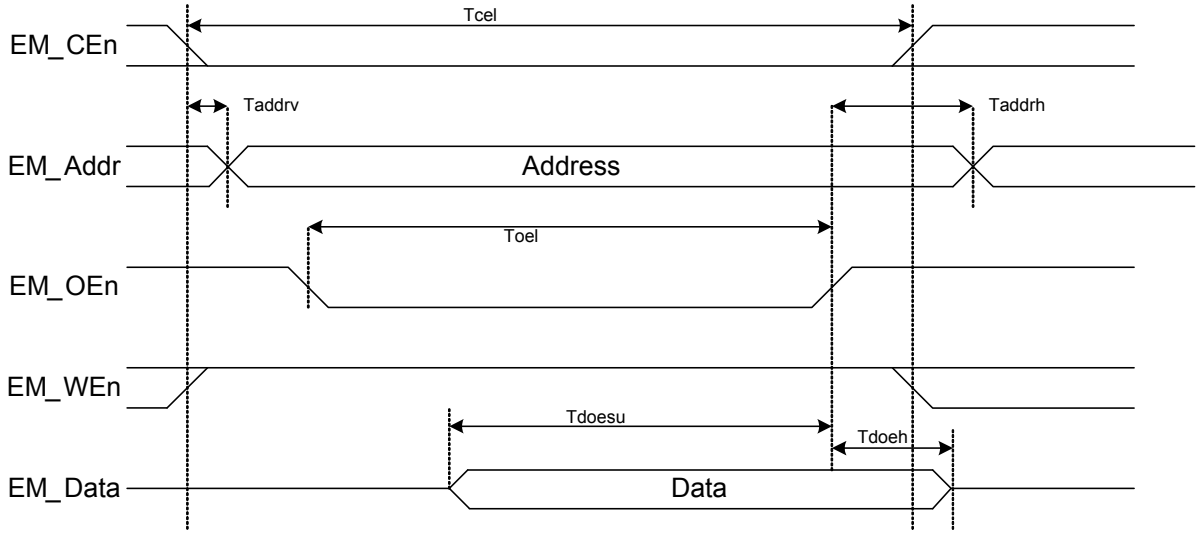


表 11-52. 异步读周期规范

参数	说明	条件	最小值	典型值	最大值	单位
T	EMIF 时钟周期 [53]	$V_{DDA} \geq 3.3$ V	30.3	–	–	ns
Tcel	EM_CEn 为低的时间		2T – 5	–	2T+ 5	ns
Taddrv	从 EM_CEn 为低到 EM_Addr 有效的时间		–	–	5	ns
Taddrh	EM_Wen 为高后的地址保持时间		T	–	–	ns
Toel	EM_OEn 为低的时间		2T – 5	–	2T + 5	ns
Tdoesu	从数据有效到 EM_OEn 为高的建立时间		T + 15	–	–	ns
Tdoeh	EM_OEn 为高后的数据保持时间		3	–	–	ns

注释：
53. 受通用 I/O 输出频率的限制，请参见第 78 页上的表 11-9。

图 11-54. 异步写周期时序

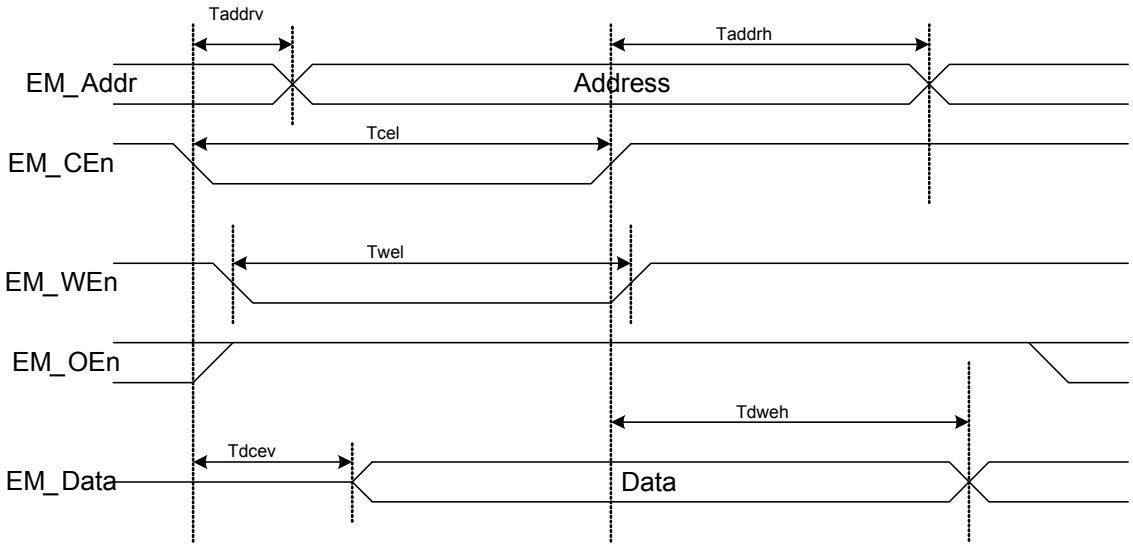


表 11-53. 异步写周期规范

参数	说明	条件	最小值	典型值	最大值	单位
T	EMIF 时钟周期 [54]	$V_{DDA} \geq 3.3$ V	30.3	–	–	ns
Tcel	EM_CEn 为低的时间		T – 5	–	T + 5	ns
Taddrv	从 EM_CEn 为低到 EM_Addr 有效的时间		–	–	5	ns
Taddrh	EM_WEn 为高后的地址保持时间		T	–	–	ns
Twel	EM_WEn 为低的时间		T – 5	–	T + 5	ns
Tdcev	从 EM_CEn 为低到数据有效的时间		–	–	7	ns
Tdweh	EM_WEn 为高后的数据保持时间		T	–	–	ns

注释：
54. 有关受通用 I/O 输出频率的限制的详细信息，请参见第 78 页上的表 11-9。

图 11-55. 同步读周期时序

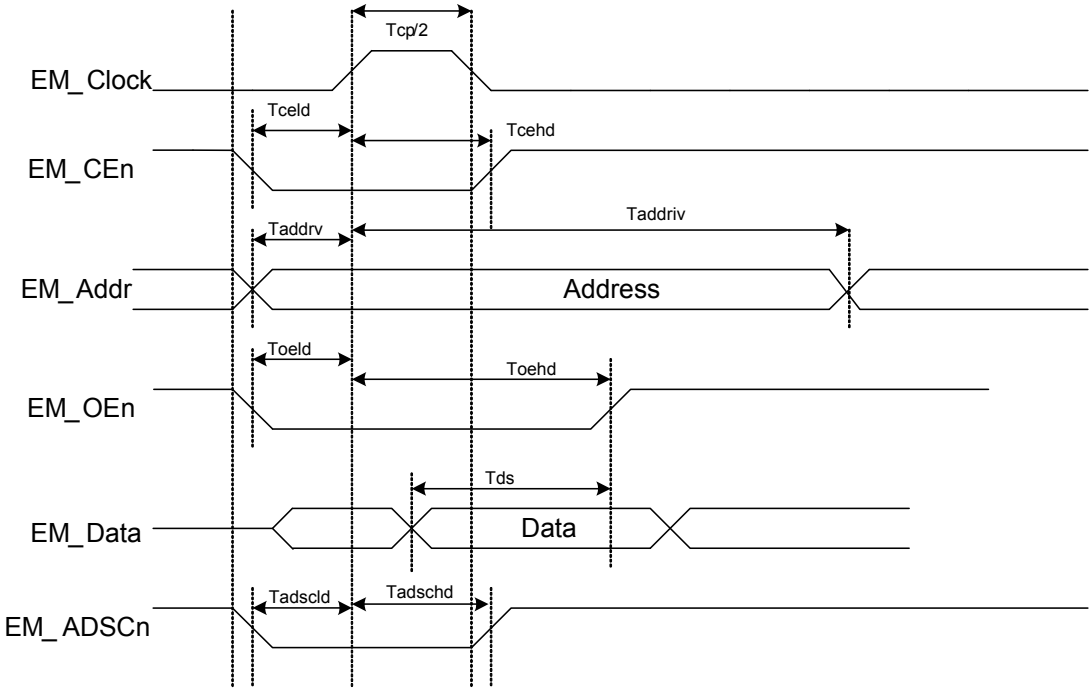


表 11-54. 同步读周期规范

参数	说明	条件	最小值	典型值	最大值	单位
T	EMIF 时钟周期 [55]	$V_{DDA} \geq 3.3$ V	30.3	–	–	ns
Tcp/2	EM_Clock 脉冲为高的时间		T/2	–	–	ns
Tceld	从 EM_CEn 为低到 EM_Clock 为高的时间		5	–	–	ns
Tcehd	从 EM_Clock 为高到 EM_CEn 为高的时间		T/2 – 5	–	–	ns
Taddrv	从 EM_Addr 有效到 EM_Clock 为高的时间		5	–	–	ns
Taddriv	从 EM_Clock 为高到 EM_Addr 无效的时间		T/2 – 5	–	–	ns
Toeld	从 EM_OEn 为低到 EM_Clock 为高的时间		5	–	–	ns
Toehd	从 EM_Clock 为高到 EM_OEn 为高的时间		T	–	–	ns
Tds	EM_OEn 为高之前数据有效的时间		T + 15	–	–	ns
Tadscld	从 EM_ADSCn 为低到 EM_clock 为高的时间		5	–	–	ns
Tadschd	从 EM_Clock 为高到 EM_ADSCn 为高的时间		T/2 – 5	–	–	ns

注释：
55. 有关受通用 I/O 输出频率的限制的详细信息，请参见第 78 页上的表 11-9。

图 11-56. 同步写周期时序

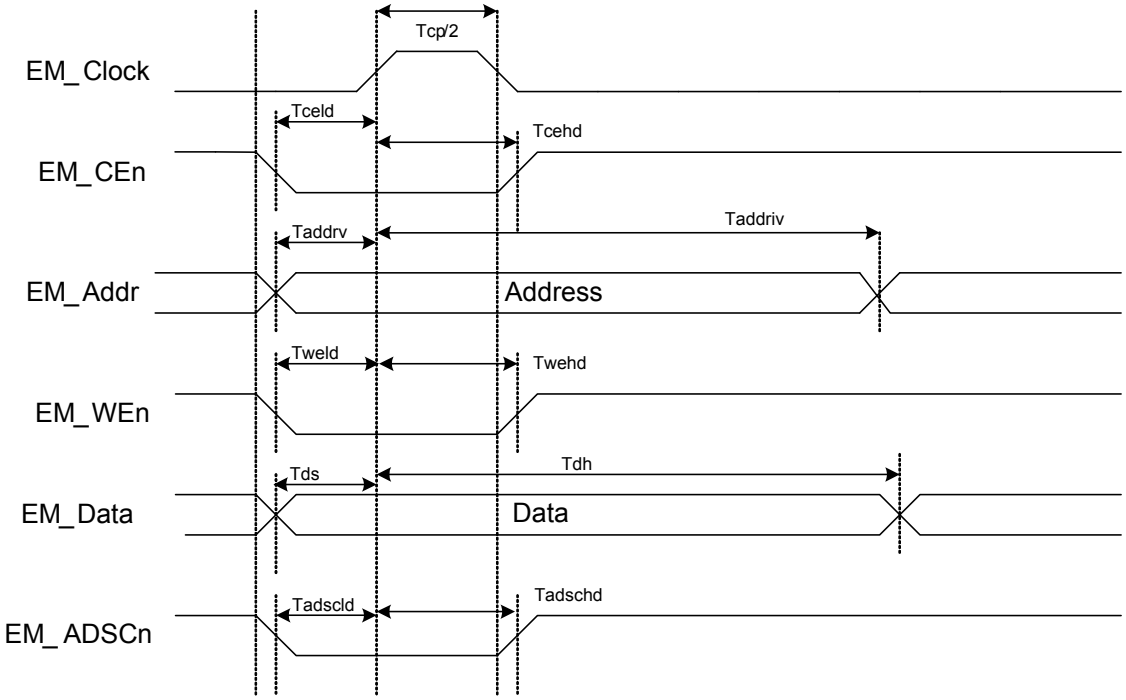


表 11-55. 同步写周期规范

参数	说明	条件	最小值	典型值	最大值	单位
T	EMIF 时钟周期 [56]	$V_{DDA} \geq 3.3$ V	30.3	–	–	ns
Tcp/2	EM_Clock 脉冲为高的时间		T/2	–	–	ns
Tceld	从 EM_CEn 为低到 EM_Clock 为高的时间		5	–	–	ns
Tcehd	从 EM_Clock 为高到 EM_CEn 为高的时间		T/2 – 5	–	–	ns
Taddrv	从 EM_Addr 有效到 EM_Clock 为高的时间		5	–	–	ns
Taddriv	从 EM_Clock 为高到 EM_Addr 无效的时间		T/2 – 5	–	–	ns
Tweld	从 EM_WEn 为低到 EM_Clock 为高的时间		5	–	–	ns
Twehd	从 EM_Clock 为高到 EM_WEn 为高的时间		T/2 – 5	–	–	ns
Tds	EM_Clock 为高之前数据有效的时间		5	–	–	ns
Tdh	EM_Clock 为高后数据无效的时间		T	–	–	ns
Tadscld	从 EM_ADSCn 为低到 EM_clock 为高的时间		5	–	–	ns
Tadschd	从 EM_Clock 为高到 EM_ADSCn 为高的时间		T/2 – 5	–	–	ns

注释：
56. 受通用 I/O 输出频率的限制，请参见第 78 页上的表 11-9。

11.8 PSoC 系统资源

除非另有说明，否则规范的适用温度是 –40 °C ≤ T_A ≤ 85 °C， T_J ≤ 100 °C 且适用范围为 1.71 V ~ 5.5 V。

11.8.1 欠压时的 POR

要在稳压模式下进行欠压检测， V_{DDD} 和 V_{DDA} 必须 ≥ 2.0 V。在外部稳压模式下，不能进行欠压检测。

表 11-56. 欠压时的精确低压复位 （PRES）电路直流规范

参数	说明	条件	最小值	典型值	最大值	单位
PRESR	上升触发电压	出厂预设值	1.64	–	1.68	V
PRESF	下降触发电压		1.62	–	1.66	V

表 11-57. 欠压时的加电复位 （POR）电路交流规范

参数	说明	条件	最小值	典型值	最大值	单位
PRES_TR	响应时间		–	–	0.5	µs
	V_{DDD}/V_{DDA} 下降率	睡眠模式	–	5	–	V/sec

11.8.2 电压监控器

表 11-58. 电压监控器直流规范

参数	说明	条件	最小值	典型值	最大值	单位
LVI	触发电压					
	LVI_A/D_SEL[3:0] = 0000b		1.68	1.73	1.77	V
	LVI_A/D_SEL[3:0] = 0001b		1.89	1.95	2.01	V
	LVI_A/D_SEL[3:0] = 0010b		2.14	2.20	2.27	V
	LVI_A/D_SEL[3:0] = 0011b		2.38	2.45	2.53	V
	LVI_A/D_SEL[3:0] = 0100b		2.62	2.71	2.79	V
	LVI_A/D_SEL[3:0] = 0101b		2.87	2.95	3.04	V
	LVI_A/D_SEL[3:0] = 0110b		3.11	3.21	3.31	V
	LVI_A/D_SEL[3:0] = 0111b		3.35	3.46	3.56	V
	LVI_A/D_SEL[3:0] = 1000b		3.59	3.70	3.81	V
	LVI_A/D_SEL[3:0] = 1001b		3.84	3.95	4.07	V
	LVI_A/D_SEL[3:0] = 1010b		4.08	4.20	4.33	V
	LVI_A/D_SEL[3:0] = 1011b		4.32	4.45	4.59	V
	LVI_A/D_SEL[3:0] = 1100b		4.56	4.70	4.84	V
	LVI_A/D_SEL[3:0] = 1101b		4.83	4.98	5.13	V
	LVI_A/D_SEL[3:0] = 1110b		5.05	5.21	5.37	V
	LVI_A/D_SEL[3:0] = 1111b		5.30	5.47	5.63	V
HVI	触发电压		5.57	5.75	5.92	V

表 11-59. 电压监控器交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	响应时间 [57]		–	–	1	µs

注释：
57. 基于器件特性 （未经过生产测试）。

11.8.3 中断控制器

表 11-60. 中断控制器交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	从中断信号输入到 ISR 代码执行的延迟	包括在最差情况下用 6 个周期完成最长指令 DIV	–	–	25	Tcy CPU

11.8.4 JTAG 接口

图 11-57. JTAG 接口时序

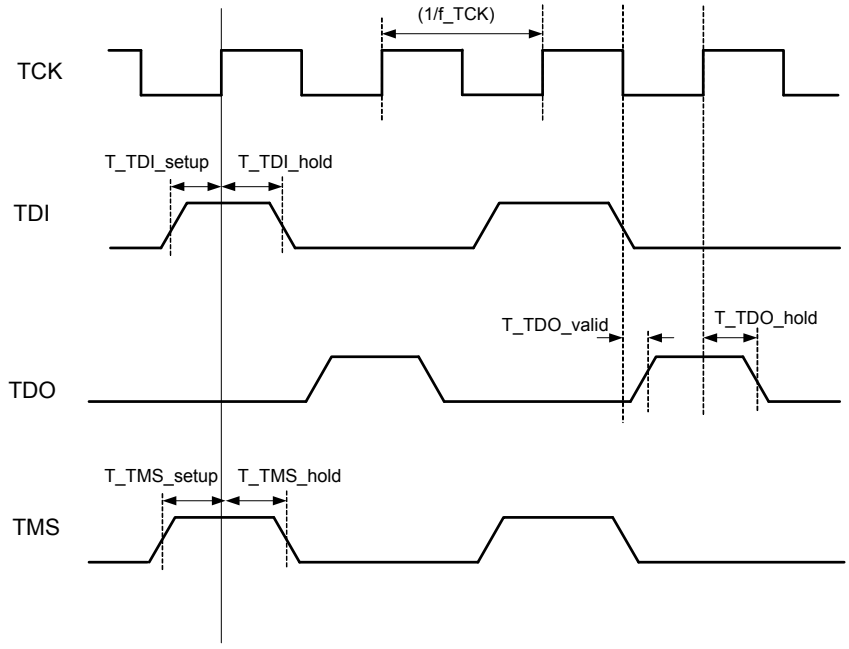


表 11-61. JTAG 接口交流规范 [58]

参数	说明	条件	最小值	典型值	最大值	单位
f_TCK	TCK 频率	3.3 V ≤ V_{DDD} ≤ 5 V	–	–	14[59]	MHz
		1.71 V ≤ V_{DDD} < 3.3 V	–	–	7[59]	MHz
T_TDI_setup	TCK 为高电平之前的 TDI 建立时间		(T/10) – 5	–	–	ns
T_TMS_setup	TCK 为高电平之前的 TMS 建立时间		T/4	–	–	
T_TDI_hold	TCK 为高电平后的 TDI、TMS 保持时间	T = 1/f_TCK 最大值	T/4	–	–	
T_TDO_valid	从 TCK 为低电平到 TDO 有效的时间	T = 1/f_TCK 最大值	–	–	2T/5	
T_TDO_hold	TCK 为高电平后的 TDO 保持时间	T = 1/f_TCK 最大值	T/4	–	–	

注释：
58. 基于器件特性 （未经过生产测试）。
59. 此外， f_TCK 不得超过 CPU 时钟频率的 1/3。

11.8.5 SWD 接口

图 11-58. SWD 接口时序

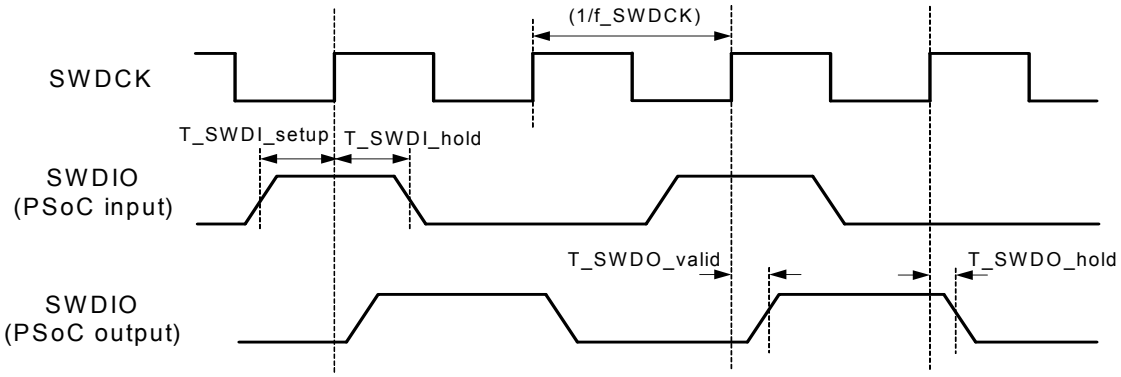


表 11-62. SWD 接口交流规范 [60]

参数	说明	条件	最小值	典型值	最大值	单位
f_SWDCK	SWDCLK 频率	3.3 V ≤ V_{DDD} ≤ 5 V	–	–	14[61]	MHz
		1.71 V ≤ V_{DDD} < 3.3 V	–	–	7[61]	MHz
		1.71 V ≤ V_{DDD} < 3.3 V，USBIO 引脚上的 SWD	–	–	5.5[61]	MHz
T_SWDI_setup	SWDCK 为高电平之前的 SWDIO 输入建立时间	T = 1/f_SWDCK 最大值	T/4	–	–	
T_SWDI_hold	SWDCK 为高电平之后的 SWDIO 输入保持时间	T = 1/f_SWDCK 最大值	T/4	–	–	
T_SWDO_valid	从 SWDCK 为高电平到 SWDIO 输出的时间	T = 1/f_SWDCK 最大值	–	–	2T/5	

11.8.6 SWV 接口

表 11-63. SWV 接口交流规范 [29]

参数	说明	条件	最小值	典型值	最大值	单位
	SWV 模式下的 SWV 比特率		–	–	33	Mbit

11.9 时钟

除非另有说明，否则这些规范的适用条件是：–40 °C ≤ T_A ≤ 85 °C， T_J ≤ 100 °C 且适用范围为 1.71 V ~ 5.5 V。

11.9.1 内部主振荡器

表 11-64. IMO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	供电电流					
	24 MHz — USB 模式	振荡器锁定到 USB 总线	–	–	500	µA
	24 MHz — 非 USB 模式		–	–	300	µA
	12 MHz		–	–	200	µA
	6 MHz		–	–	180	µA
	3 MHz		–	–	150	µA

注释：
60. 基于器件特性（未经过生产测试）。
61. 此外， f_SWDCK 不得超过 CPU 时钟频率的 1/3。

图 11-59. IMO 电流与频率

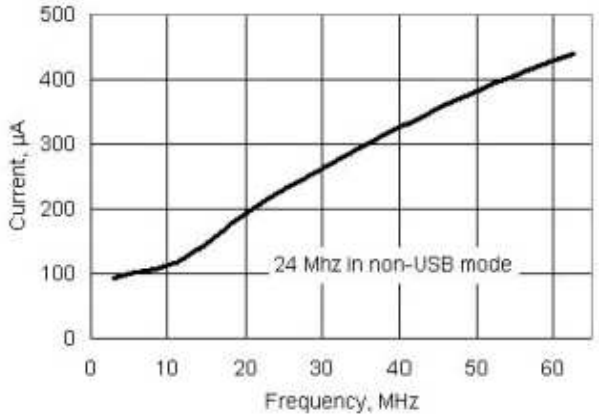


表 11-65. IMO 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
FIMO	IMO 频率的稳定性 （采用出厂预设值）					
	24 MHz — 非 USB 模式		–4	–	4	%
	24 MHz — USB 模式	振荡器锁定到 USB 总线	–0.25	–	0.25	%
	12 MHz		–3	–	3	%
	6 MHz		–2	–	2	%
	3 MHz		–2	–	2	%
	启动时间 [62]	从使能时钟 （系统正常工作时）起的时间	–	–	13	µs
Jp-p	抖动 （峰峰值） [62]					
	F = 24 MHz		–	0.9	–	ns
	F = 3 MHz		–	1.6	–	ns
Jperiod	抖动 （长期） [62]					
	F = 24 MHz		–	0.9	–	ns
	F = 3 MHz		–	12	–	ns

图 11-60. IMO 频率变化与温度

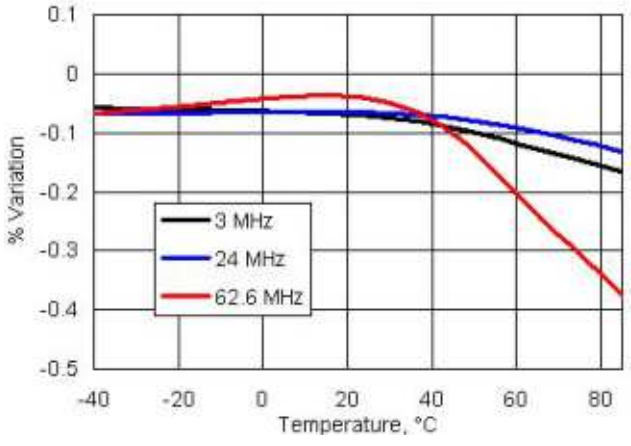
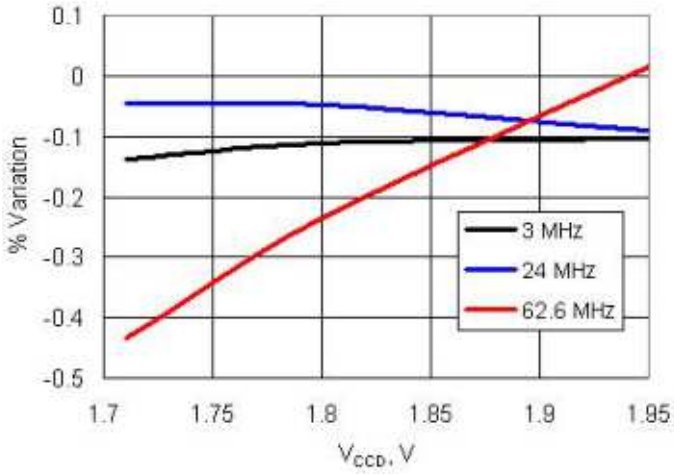


图 11-61. IMO 频率变化与 V_{CC}



注释：
62. 基于器件特性 （未经过生产测试）。

11.9.2 内部低速振荡器

表 11-66. ILO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
I_{CC}	工作电流 [63]	F_{OUT} = 1 kHz	–	–	1.7	µA
		F_{OUT} = 33 kHz	–	–	2.6	µA
		F_{OUT} = 100 kHz	–	–	2.6	µA
	漏电流 [63]	掉电模式	–	–	15	nA

表 11-67. ILO 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	启动时间，针对所有频率	加速模式	–	–	2	ms
F_{ILO}	ILO 频率					
	100 kHz		45	100	200	kHz
	1 kHz		0.5	1	2	kHz

图 11-62. ILO 频率变化与温度

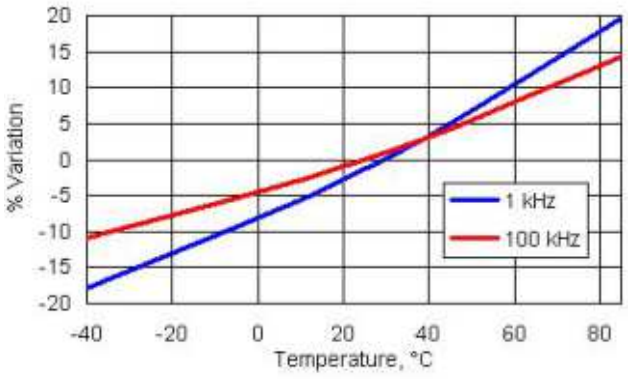
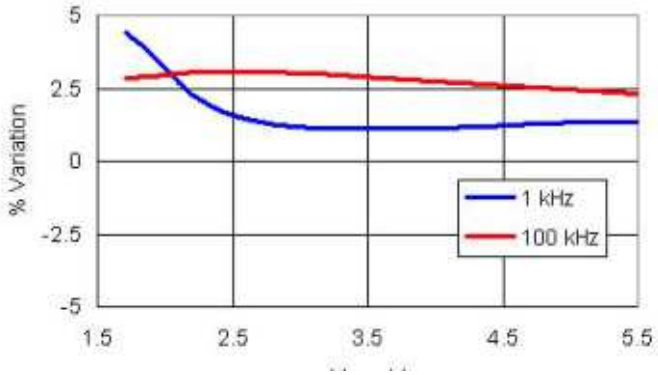


图 11-63. ILO 频率变化与 V_{DD}



11.9.3 MHz 外部晶振

表 11-68. MHzECO 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F	晶振频率范围		4	–	25	MHz

注释：
63. 该值是计算得出的，而非经过测量得出。

11.9.4 kHz 外部晶振

表 11-69. kHzECO 直流规范 [64]

参数	说明	条件	最小值	典型值	最大值	单位
I_{CC}	工作电流	低功耗模式； CL= 6 pF	–	0.25	1.0	µA
DL	驱动电平		–	–	1	µW

表 11-70. kHzECO 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F	频率		–	32.768	–	kHz
T_{ON}	启动时间	高功耗模式	–	1	–	s

11.9.5 外部时钟参考

表 11-71. 外部时钟参考交流规范 [64]

参数	说明	条件	最小值	典型值	最大值	单位
	外部频率范围		0	–	33	MHz
	输入占空比范围	在 $V_{DDIO}/2$ 时测量	30	50	70	%
	输入边沿速率	V_{IL} 到 V_{IH}	0.5	–	–	V/ns

11.9.6 锁相环

表 11-72. PLL 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
I_{DD}	PLL 工作电流	输入频率 = 3 MHz， 输出频率 = 24 MHz	–	200	–	µA

表 11-73. PLL 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
Fpllin	PLL 输入频率 [65]		1	–	48	MHz
	PLL 中间频率 [66]	预分频器的输出	1	–	3	MHz
Fpllout	PLL 输出频率 [65]		24	–	50	MHz
	启动时的锁定时间		–	–	250	µs
Jperiod-rms	抖动时间 （rms） [64]		–	–	250	ps

注释：
64. 基于器件特性 （未经过生产测试）。
65. 该规范通过以下方式予以保证：使用 IMO 作为 PLL 的源，在指定范围内对 PLL 进行测试。
66. 必须设置 PLL 输入分频器 （Q），以便将输入频率向下分频到中间频率范围内。 Q 的值介于 1 到 16 之间。

12. 订购信息

除表 12-1 中列出的功能外，每个 CY8C36 器件还包括：高精度片上电压参考、高精度振荡器、闪存、ECC、DMA、固定功能 I²C、4 KB 跟踪 RAM、JTAG/SWD 编程和调试、外部存储器接口等。除了这些特性以外，灵活的 UDB 和模拟子系统还支持广泛的外设。为了帮助您选择理想的器件， PSoC Creator 在您选择应用所需的组件后会提供器件建议。所有 CY8C32 派生器件都可由用户选择安全级别，以实现器件和闪存安全性；有关详细信息，请参见 TRM。

表 12-1. 带单周期 8051 内核的 CY8C32 系列

芯片型号	MCU 内核				模拟								数字				I/O[68]				封装	JTAG ID[69]
	CPU 速度	闪存（KB）	SRAM（KB）	EEPROM（KB）	段式 LCD 驱动	ADC	DAC	电压比较器	SC/CT 模拟模块	运算放大器	DFB	CapSense	UDB[67]	16 位定时器 /PWM	FS USB	CAN 2.0b	I/O 总数	GPIO	SIO	USBIO		
16 KB 闪存																						
CY8C3244AXI-153	50	16	2	0.5	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	16	4	–	–	70	62	8	0	100-TQFP	0×1E099069
CY8C3244LTI-130	50	16	2	0.5	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	16	4	–	–	46	38	8	0	68-QFN	0×1E082069
CY8C3244LTI-123	50	16	2	0.5	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	16	4	–	–	29	25	4	0	48-QFN	0×1E07B069
CY8C3244PVI-133	50	16	2	0.5	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	16	4	–	–	29	25	4	0	48-SSOP	0×1E085069
32 KB 闪存																						
CY8C3245AXI-158	50	32	4	1	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	20	4	–	–	70	62	8	0	100-TQFP	0×1E09E069
CY8C3245LTI-163	50	32	4	1	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	20	4	–	–	46	38	8	0	68-QFN	0×1E0A3069
CY8C3245LTI-139	50	32	4	1	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	20	4	–	–	29	25	4	0	48-QFN	0×1E08B069
CY8C3245PVI-134	50	32	4	1	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	20	4	–	–	29	25	4	0	48-SSOP	0×1E086069
CY8C3245AXI-166	50	32	4	1	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	20	4	✔	–	72	62	8	2	100-TQFP	0×1E0A6069
CY8C3245LTI-144	50	32	4	1	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	20	4	✔	–	31	25	4	2	48-QFN	0×1E090069
CY8C3245PVI-150	50	32	4	1	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	20	4	✔	–	31	25	4	2	48-SSOP	0×1E096069
CY8C3245FNI-212	50	32	4	1	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	20	4	–	–	46	38	8	0	72-WLCSP	0x1E0D4069
64 KB 闪存																						
CY8C3246LTI-149	50	64	8	2	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	24	4	–	–	46	38	8	0	68-QFN	0×1E095069
CY8C3246PVI-147	50	64	8	2	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	24	4	✔	–	31	25	4	2	48-SSOP	0×1E093069
CY8C3246AXI-131	50	64	8	2	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	24	4	–	–	70	62	8	0	100-TQFP	0×1E083069
CY8C3246LTI-162	50	64	8	2	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	24	4	–	–	29	25	4	0	48-QFN	0×1E0A2069
CY8C3246PVI-122	50	64	8	2	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	24	4	–	–	29	25	4	0	48-SSOP	0×1E07A069
CY8C3246AXI-138	50	64	8	2	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	24	4	✔	–	72	62	8	2	100-TQFP	0×1E08A069
CY8C3246LTI-128	50	64	8	2	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	24	4	✔	–	48	38	8	2	68-QFN	0×1E080069
CY8C3246LTI-125	50	64	8	2	✔	1×12 bit Del-Sig	1	2	0	0	–	✔	24	4	✔	–	31	25	4	2	48-QFN	0×1E07D069
CY8C3246FNI-213	50	64	8	2	✔	1×12 bit Del-Sig	1	2	–	–	–	✔	24	4	–	–	46	38	8	–	72-WLCSP	0x1E0D5069

注释：

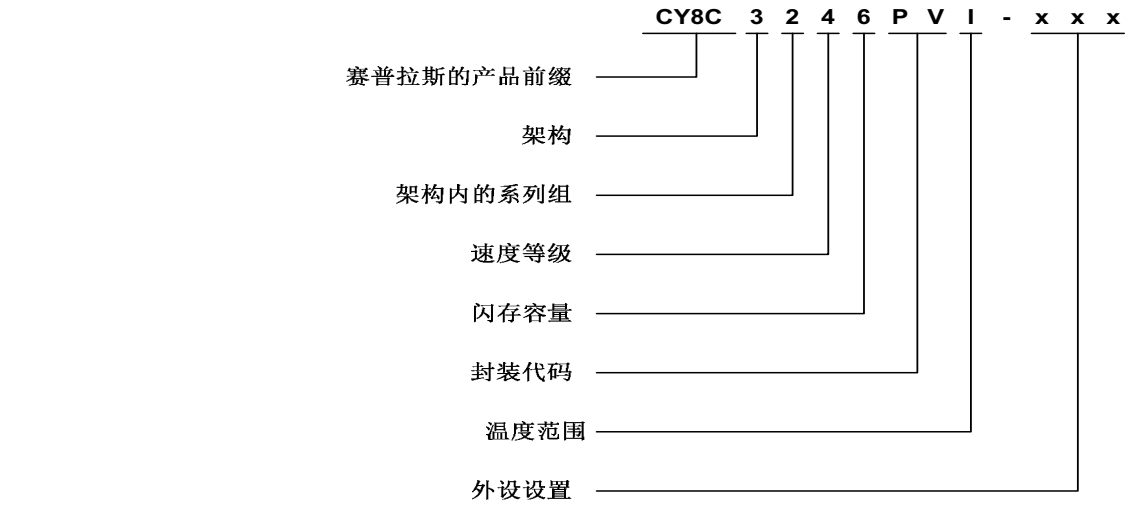
67. UDB 支持广泛的功能，其中包括 SPI、LIN、UART、定时器、计数器、PWM、PRS 等等。各种功能既可以使用一个 UDB 的一部分，也可以使用多个 UDB。多个功能可以共享一个 UDB。有关如何使用 UDB 的更多信息，请参见 第 45 页上的外设示例。
68. I/O 值包括所有数字 I/O 的类型，即：GPIO、 SIO 和两个 USB I/O。有关每种 I/O 功能的详细信息，请参见 第 38 页上的 I/O 系统与路由。
69. JTAG ID 有三个主要字段。最高有效半字节 （左边的数字）的是版本，随后的 2 个字节是器件型号，最后 3 个半字节是制造商 ID。

12.1 器件型号约定

PSoC 3 器件遵循此处所述的器件型号约定。除非另有声明，否则所有字段都是单字符字母数字（0、1、2、…、9、A、B、…、Z）。
CY8Cabcdefg-xxx

- a：架构
  - 3：PSoC 3
  - 5：PSoC 5
- b：架构中的系列组
  - 2: CY8C32 器件系列
  - 4: CY8C34 器件系列
  - 6: CY8C36 器件系列
  - 8: CY8C38 器件系列
- c：速度等级
  - 4：50 MHz
  - 6：67 MHz
- d：闪存容量
  - 4：16 KB
  - 5：32 KB
  - 6：64 KB
- ef：封装代码
  - 两个字符的字母数字
  - AX：TQFP
  - LT：QFN
  - PV：SSOP
  - FN：CSP
- g：温度范围
  - C：商业级
  - I：工业级
  - A：汽车级
- xxx：外设集
  - 三个字符的数字
  - 这三个字符没有任何相关含义。

示例



这些器件均有盘带封装版本，并在器件编号末尾使用 “T” 标出。

PSoC 3 CY8C32 系列中的所有器件都符合 RoHS-6 规范，是赛普拉斯致力于提供无铅产品的有力证明。铅（Pb）是焊接中使用的一种合金元素，由于其潜在的毒性，已导致环境方面的问题。赛普拉斯的大部分基于引脚框架的封装都采用了镍钯金（NiPdAu）技术。

有关对赛普拉斯无铅立场的高级审核，请访问我们的网站。此外，您还可以在我们的网站上找到具体的封装信息。封装材料声明数据手册 （PMDD）标出了赛普拉斯封装中包含的所有物质。 PMDD 还确认其中不包含许多被禁止使用的物质。 PMDD 中的信息将有助于赛普拉斯的客户针对回收和其他报废要求进行规划。

13. 封装

表 13-1. 封装特性

参数	说明	条件	最小值	典型值	最大值	单位
T_A	工作环境温度		–40	25.00	85	°C
T_J	工作结温		–40	–	100	°C
T_{JA}	封装 θ_{JA}（48-SSOP）		–	49	–	°C/Watt
T_{JA}	封装 θ_{JA}（48-QFN）		–	14	–	°C/Watt
T_{JA}	封装 θ_{JA}（68-QFN）		–	15	–	°C/Watt
T_{JA}	封装 θ_{JA}（100-TQFP）		–	34	–	°C/Watt
T_{JC}	封装 θ_{JC}（48-SSOP）		–	24	–	°C/Watt
T_{JC}	封装 θ_{JC}（48-QFN）		–	15	–	°C/Watt
T_{JC}	封装 θ_{JC}（68-QFN）		–	13	–	°C/Watt
T_{JC}	封装 θ_{JC}（100-TQFP）		–	10	–	°C/Watt
T_{JA}	封装 θ_{JA}（72-CSP）		–	18	–	°C/Watt
T_{JC}	封装 θ_{JC}（72-CSP）		–	0.13	–	°C/Watt

表 13-2. 回流焊峰值温度

封装	最高峰值温度	峰值温度下的最长时间
48-SSOP	260 °C	30 秒
48-QFN	260 °C	30 秒
68-QFN	260 °C	30 秒
100-TQFP	260 °C	30 秒
72-CSP	260 °C	30 秒

表 13-3. 封装潮敏等级 （MSL）， IPC/JEDEC J-STD-2

封装	MSL
48-SSOP	MSL 3
48-QFN	MSL 3
68-QFN	MSL 3
100-TQFP	MSL 3
72-CSP	MSL 1

图 13-1. 48 引脚 （300 mil） SSOP 封装外形

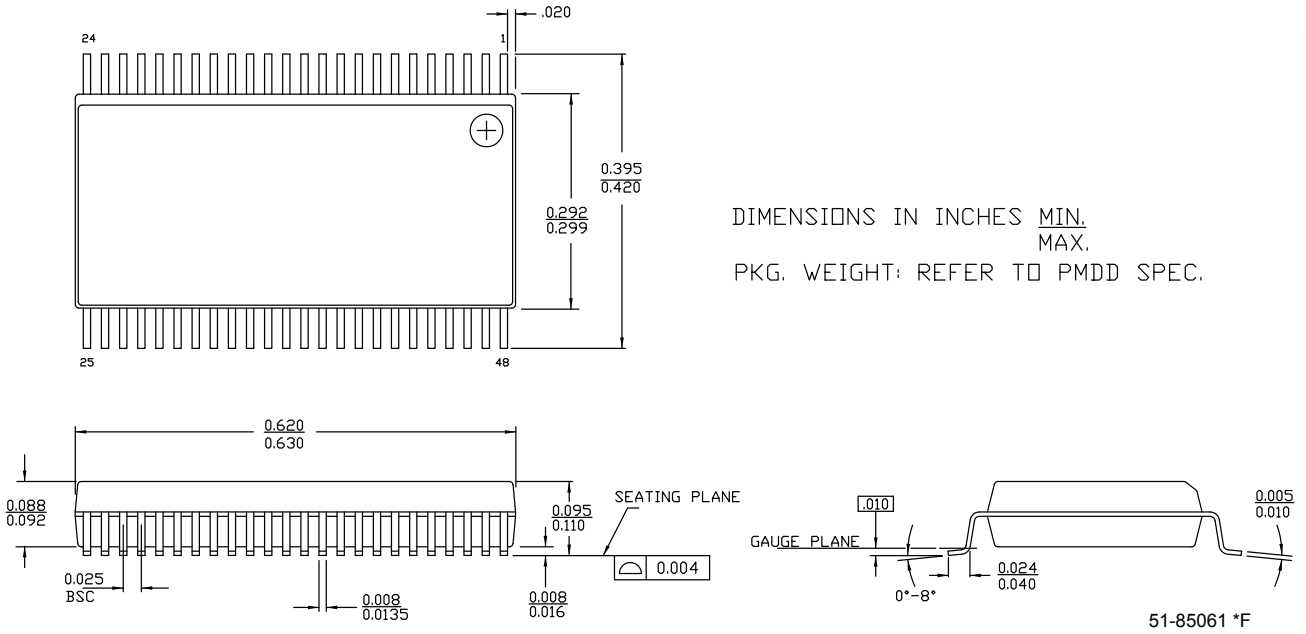
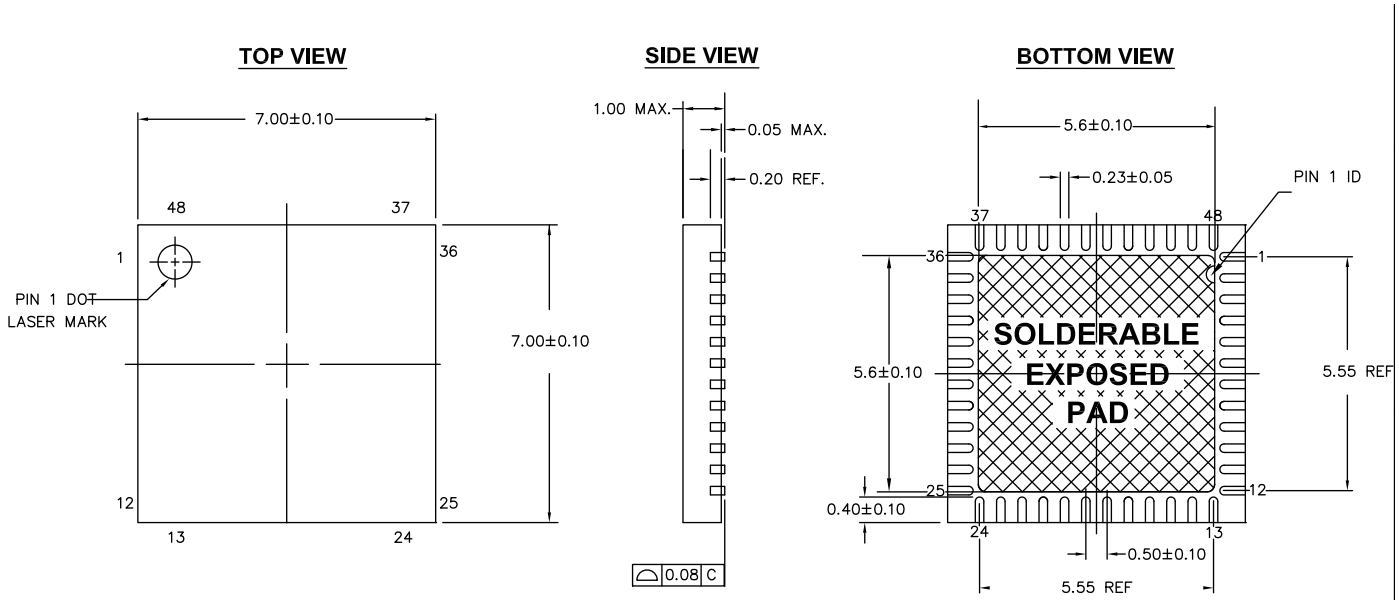


图 13-2. 48-QFN 封装外形



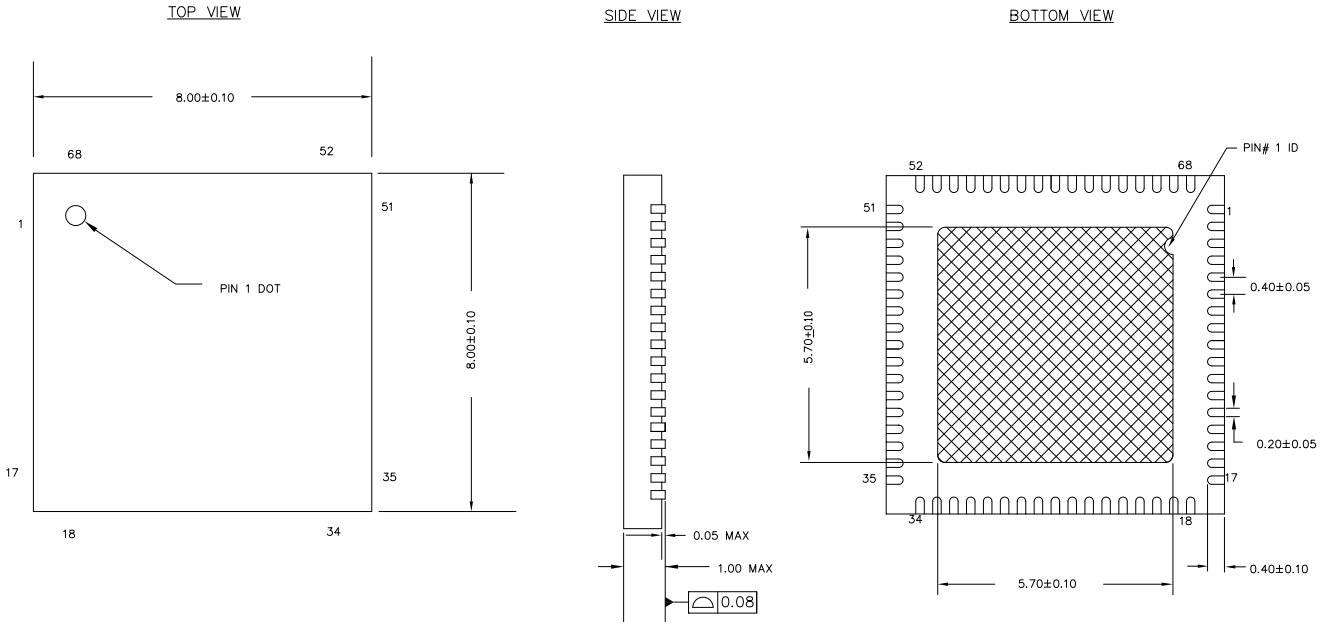
NOTES:

1. ▨ HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: REFER TO PMDD SPEC.
4. ALL DIMENSIONS ARE IN MM [MIN/MAX]
5. PACKAGE CODE

PART #	DESCRIPTION
LT48D	LEAD FREE

001-45616 *E

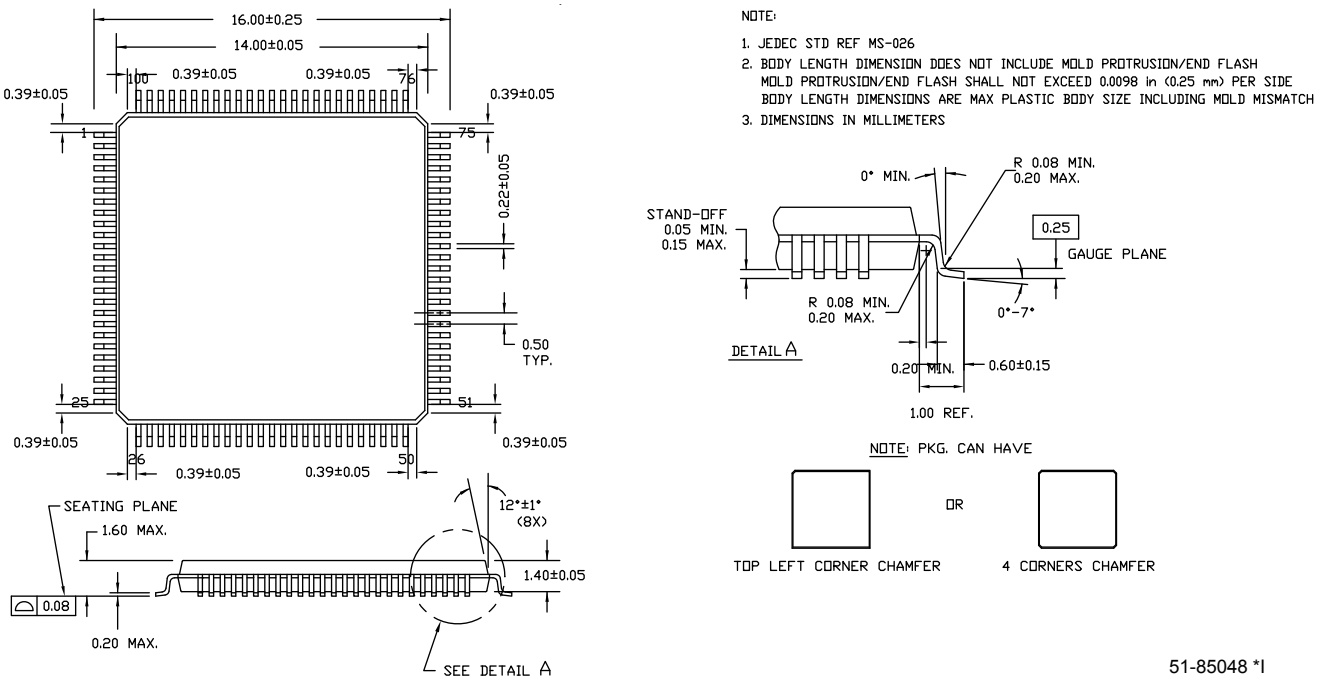
图 13-3. 间距为 0.4 毫米的 68-QFN 8×8 封装外形 （Sawn 版本）



NOTES:
1. ▨ HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO−220
3. PACKAGE WEIGHT: 17 ± 2mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

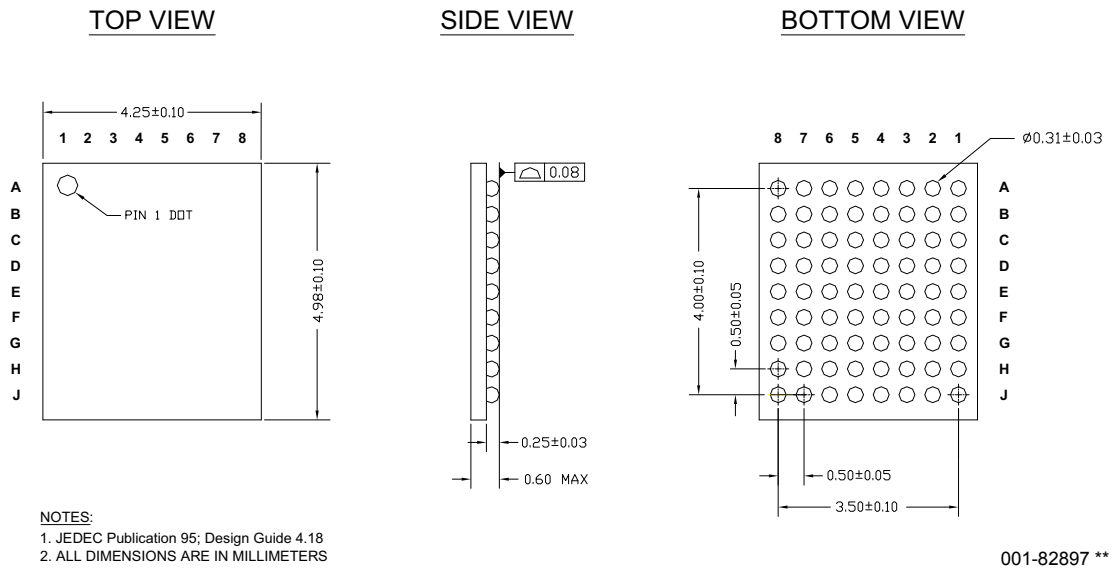
001-09618 *E

图 13-4. 100-TQFP （14 × 14 × 1.4 mm）封装外形



51-85048 *I

图 13-5. WLCSP 封装 （4.25 × 4.98 × 0.60 mm）



NOTES:
1. JEDEC Publication 95; Design Guide 4.18
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-82897 **

14. 缩略语

表 14-1. 本文档中使用的缩略语

缩略语	说明
abus	模拟局部总线
ADC	模数转换器
AG	模拟全局
AHB	AMBA （先进的微控制器总线结构）高性能总线，它是一种 ARM 数据传输总线
ALU	算术逻辑单元
AMUXBUS	模拟复用器总线
API	应用编程接口
APSR	应用编程状态寄存器
ARM®	高级 RISC 机器，它是一种 CPU 架构
ATM	自动 Thump 模式
BW	带宽
CAN	控制器区域网络，它是一种通信协议
CMRR	共模抑制比
CPU	中央处理器
CRC	循环冗余校验，它是一种错误校验协议
DAC	数模转换器，另请参见 IDAC、 VDAC
DFB	数字滤波器模块
DIO	数字输入 / 输出， GPIO 只具有数字功能，无模拟功能。请参见 GPIO。
DMA	直接存储器访问，另请参见 TD
DNL	微分非线性，另请参见 INL
DNU	请勿使用
DR	端口写入数据寄存器
DSI	数字系统互连
DWT	数据观察点和跟踪
ECC	纠错码
ECO	外部晶体振荡器
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
EMIF	外部存储器接口
EOC	转换结束
EOF	帧结束
EPSR	执行程序状态寄存器
ESD	静电放电
ETM	嵌入式跟踪宏单元
FIR	有限脉冲响应，另请参见 IIR
FPB	闪存修补和断点
FS	全速

表 14-1. 本文档中使用的缩略语 （续）

缩略语	说明
GPIO	通用输入 / 输出，适用于 PSoC 引脚
HVI	高电压中断，另请参见 LVI、 LVD
IC	集成电路
IDAC	电流 DAC，另请参见 DAC、 VDAC
IDE	集成开发环境
I^2C 或 IIC	内部集成电路，即为一种通信协议
IIR	无限脉冲响应，另请参见 FIR
ILO	内部低速振荡器，另请参见 IMO
IMO	内部主振荡器，另请参见 ILO
INL	积分非线性，另请参见 DNL
I/O	输入 / 输出，另请参见 GPIO、 DIO、 SIO、 USBIO
IPOR	初始上电复位
IPSR	中断程序状态寄存器
IRQ	中断请求
ITM	仪器化跟踪宏单元
LCD	液晶显示器
LIN	本地互联网络，它是一种通信协议
LR	链接寄存器
LUT	查询表
LVD	低电压检测，另请参见 LVI
LVI	低电压中断，另请参见 HVI
LVTTL	低压晶体管 — 晶体管逻辑
MAC	乘法累加
MCU	微控制器单元
MISO	主入从出
NC	无连接
NMI	不可屏蔽中断
NRZ	非归零
NVIC	嵌套向量中断控制器
NVL	非易失性锁存器，另请参考 WOL
opamp	运算放大器
PAL	可编程阵列逻辑，另请参见 PLD
PC	程序计数器
PCB	印刷电路板
PGA	可编程增益放大器
PHUB	外设集线器
PHY	物理层
PICU	端口中断控制单元
PLA	可编程逻辑阵列

表 14-1. 本文档中使用的缩略语 （续）

缩略语	说明
PLD	可编程逻辑器件，另请参见 PAL
PLL	锁相环
PMDD	封装材料声明数据手册
POR	加电复位
PRES	精密低电压复位
PRS	伪随机序列
PS	端口读取数据寄存器
PSoC®	可编程片上系统 （Programmable System-on-Chip™）
PSRR	电源抑制比
PWM	脉冲宽度调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RTL	寄存器转换语言
RTR	远程传输请求
RX	接收
SAR	逐次逼近寄存器
SC/CT	开关电容 / 连续时间
SCL	I^2C 串行时钟
SDA	I^2C 串行数据
S/H	采样和保持
SINAD	信噪比和失真比
SIO	特别输入 / 输出，具有高级功能的通用 I/O。请参见 GPIO。
SOC	开始转换
SOF	帧起始

表 14-1. 本文档中使用的缩略语 （续）

缩略语	说明
SPI	串行外设接口，它是一种通信协议
SR	转换速率
SRAM	静态随机存取存储器
SRES	软件复位
SWD	串行线调试，它是一种测试协议
SWV	单线浏览器
TD	传输描述符，另请参见 DMA
THD	总谐波失真
TIA	互阻放大器
TRM	技术参考手册
TTL	晶体管 — 晶体管逻辑
TX	发送
UART	通用异步发射器接收器，它是一种通信协议
UDB	通用数字模块
USB	通用串行总线
USBIO	USB 输入 / 输出，用于连接至 USB 端口的 PSoC 引脚
VDAC	电压数模转换器，另请参见 DAC、 IDAC
WDT	看门狗定时器
WOL	一次性写锁存器，另请参见 NVL
WRES	看门狗定时器复位
XRES	外部复位 I/O 引脚
XTAL	晶振

15. 参考文档

PSoC® 3、 PSoC® 5 架构 TRM
PSoC® 3 寄存器 TRM

16. 文档规范

16.1 测量单位

表 16-1. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
Hz	赫兹
KB	1024 个字节
kbps	每秒千比特
Khr	千小时
kHz	千赫兹
kΩ	千欧
ksps	采样千次每秒
LSB	最低有效位
Mbps	兆比特每秒
MHz	兆赫
MΩ	兆欧
Msps	采样兆次每秒
µA	微安
µF	微法
µH	微亨
µs	微秒
µV	微伏
µW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
Ω	欧姆
pF	皮法
ppm	百万分率
ps	皮秒
s	秒
sps	每秒样本数
sqrtHz	赫兹平方根
V	伏特

17. 修订记录

文档标题：PSoC® 3: CY8C32 系列数据手册可编程片上系统 （PSoC®） 文档编号：001-92498				
版本	ECN	提交日期	变更者	变更说明
**	4386106	05/22/2014	XZNG	本文档版本号为 Rev.**，译自英文版 001-56955 Rev.*T。
*A	4769275	05/26/2015	XZNG	本文档版本号为 Rev.*A，译自英文版 001-56955 Rev.*V。

18. 销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 训练

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司， 2009-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可证的限制。

CapSense®、 PSoC®3、 PSoC®5 和 PSoC® Creator™ 是赛普拉斯半导体公司的商标， PSoC® 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

从赛普拉斯或其获得分许可的其中一个联营公司处购买 I2C 组件，即可根据 Philips I2C 专利权获得一份许可，以便在 I2C 系统中使用这些组件，但前提是该系统符合 Philips 定义的 I2C 标准规范。

ARM 是 ARM Limited 的注册商标， Keil 和 RealView 是 ARM Limited 的商标。本文件中所介绍的所有产品和公司名称均为其各自所有者的商标。